

JAPAN PATENT OFFICE

jc971 U.S. PTO
09/921561
08/06/01

#2
D. Scott
11-8-01

This is to certify that the annexed is a true copy of the following application
as filed with this office.

Date of Application: March 28, 2001

Application Number: Patent Application No. 2001-092892

Applicant(s): FUJITSU LIMITED
FUJITSU VLSI LIMITED

May 30, 2001

Commissioner,
Japan Patent Office Kohzoh OIKAWA

Certification No. 2001-3046746

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
09/921561
08/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月28日

出 願 番 号

Application Number:

特願2001-092892

出 願 人

Applicant(s):

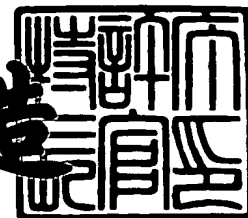
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3046746

【書類名】 特許願

【整理番号】 0040935

【提出日】 平成13年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/28

【発明の名称】 遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法

【請求項の数】 10

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

 【氏名】 小村 一史

【発明者】

 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

 【氏名】 川本 悟

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 000237617

 【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

 【識別番号】 100098431

 【弁理士】

 【氏名又は名称】 山中 郁生

 【電話番号】 052-263-3131

【選任した代理人】

 【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法

【特許請求の範囲】

【請求項 1】 入力信号に対して所定遅延時間を付加する所定遅延段を 2 以上有する遅延部と、

前記所定遅延段を適宜に組合わせて前記入力信号に対して目的遅延時間の遅延出力信号を出力する遅延経路を確立する選択スイッチ部とを備え、

前記選択スイッチ部は、

前記入力信号からの伝播信号を入力するバッファ部と、

前記遅延部における前記遅延経路を確立する際、前記バッファ部を活性化する選択部とを備えることを特徴とする遅延回路。

【請求項 2】 前記遅延部において、前記所定遅延段は、

前記所定遅延時間の個別遅延出力信号を出力する個別遅延出力端子を備え、

前記選択スイッチ部は、

前記個別遅延出力端子毎に設けられて、該選択スイッチ部における前記バッファ部の入力端子は前記個別遅延出力端子に接続され、前記選択スイッチ部の出力端子が相互に結合されていることを特徴とする請求項 1 に記載の遅延回路。

【請求項 3】 前記遅延部において、前記所定遅延段は、

前記所定遅延時間を付加すべき信号を入力する個別遅延入力端子を備え、

入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされており、

前記選択スイッチ部は、

前記個別遅延入力端子毎に設けられて、該選択スイッチ部の出力端子は前記個別遅延入力端子に接続され、前記バッファ部の入力端子が相互に結合されていることを特徴とする請求項 1 に記載の遅延回路。

【請求項 4】 前記選択スイッチ部において、

前記バッファ部は、

ゲート端子を入力端子とする第 1 トランジスタを備え、

前記選択部は、

前記遅延部における前記遅延経路を確立するための前記制御信号がゲート端子に入力される第 2 トランジスタを備え、

前記第 1 及び第 2 トランジスタは、

前記選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続されていることを特徴とする請求項 1 又は 2 に記載の遅延回路。

【請求項 5】 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされた論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成されることを特徴とする請求項 2 又は 3 に記載の遅延回路。

【請求項 6】 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが異なる論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成されることを特徴とする請求項 2 又は 3 に記載の遅延回路。

【請求項 7】 入力信号に対して所定遅延時間を付加する所定遅延段を 2 以上有する遅延部と、

前記入力信号からの伝播信号を入力するバッファ部と、前記遅延部における前記遅延経路を確立する選択部とを有し、前記所定遅延段を適宜に組合わせて前記入力信号に対して目的遅延時間の遅延出力信号を出力する遅延経路を確立する選択スイッチ部とを備えることを特徴とする半導体集積回路装置。

【請求項 8】 前記選択スイッチ部において、

前記バッファ部は、

ゲート端子を入力端子とする第 1 トランジスタを備え、

前記選択部は、

前記遅延部における前記遅延経路を確立するための前記制御信号がゲート端子に入力される第 2 トランジスタを備え、

前記第 1 及び第 2 トランジスタは、

前記選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続されていることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされていることを特徴とする請求項 7 又は 8 に記載の半導体集積回路装置。

【請求項 10】 入力信号に対して所定遅延時間を順次付加していく遅延工程と、

前記遅延工程において付加される所定遅延時間毎に遅延信号を出力する出力工程と、

目的遅延時間を有する遅延信号を出力する前記出力工程についてのみ活性化する選択工程とを備えることを特徴とする遅延方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置において、寄生素子の影響を受けることなく、信号伝播の遅延時間を調整することができる遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路装置は、更なる高速化が進展してきている。CPU やシステム LSI 等の高速化により、内部のクリティカルパスにおける信号間相互の遷移タイミングの動作余裕が厳しくなっており、タイミング調整のための遅延回路の調整精度、調整時間ステップは厳しくなる一方である。また、CPU やシステム LSI 等の高速化に伴い、200MHz 以上の高速動作周波数で動作する同期型ランダムアクセスメモリ（以下、SDRAM と記す。）に代表される同期型半導体記憶装置も必要とされている。同期信号である外部クロックの高速化に対して位相同期させるために、精度よく短い時間ステップで位相を調整することができる遅延回路が必要とされている。この要求に対して、以下に第 1 乃至第 3 従来技術を示す。以下の説明では、便宜上、遅延段数を 4 段として説明をする。

【0003】

第 1 従来技術の遅延回路 1000 を図 8 に示す。図 8 の遅延回路 1000 は、

入力信号 I N が入力される遅延部 1 0 0 と、遅延部 1 0 0 からの遅延量が異なる 4 つの遅延出力信号 N 1 0、N 2 0、N 3 0、N 4 0 のうちから 1 つを選択する選択スイッチ部 S W 1 1 0、S W 2 1 0、S W 3 1 0、S W 4 1 0 と、選択スイッチ部 S W 1 1 0 乃至 S W 4 1 0 に接続されて遅延された信号を出力信号 O U T として出力する出力バッファ回路 5 0 0 とから構成されている。

【 0 0 0 4 】

遅延部 1 0 0 は、2 段のインバータゲート 1 0 1 と 1 0 2、2 0 1 と 2 0 2、3 0 1 と 3 0 2、4 0 1 と 4 0 2 により構成され、単位遅延時間を生成する所定遅延段としての 2 段のインバータゲート毎に順次単位遅延時間が加算された遅延出力信号が得られる構成である。即ち、入力信号 I N に対して 2 段のインバータゲート 1 0 1、1 0 2 を介した出力を遅延出力信号 N 1 0 とし、以下、遅延出力信号 N 1 0 が入力される 2 段のインバータゲート 2 0 1、2 0 2 の出力を遅延出力信号 N 2 0、遅延出力信号 N 2 0 の入力に対して 2 段のインバータゲート 3 0 1、3 0 2 の出力が遅延出力信号 N 3 0、遅延出力信号 N 3 0 の入力に対して 2 段のインバータゲート 4 0 1、4 0 2 の出力が遅延出力信号 N 4 0 として順次単位遅延時間が加算されて 4 つの遅延出力信号 N 1 0 乃至 N 4 0 が出力されている。これらの遅延出力信号 N 1 0 乃至 N 4 0 は、各々、選択スイッチ回路 S W 1 1 0 乃至 S W 4 1 0 に入力されている。選択スイッチ回路 S W 1 1 0 乃至 S W 4 1 0 は、遅延出力信号 N 1 0 乃至 N 4 0 を出力バッファ回路 5 0 0 に接続するためのトランスファゲートを備えている。トランスファゲートは、P M O S 及び N M O S トランジスタのソース端子、ドレイン端子同士が相互に接続された構成 (T 1 1 0 と T 1 2 0、T 2 1 0 と T 2 2 0、T 3 1 0 と T 3 2 0、T 4 1 0 と T 4 2 0) である。そしてゲート端子には、制御信号 / S (0, 0)、/ S (1, 0)、/ S (0, 1)、/ S (1, 1) のうちの 1 つの論理レベルがローレベルとなり選択されることにより、対応するトランスファゲートだけが導通し、所定の遅延出力信号 (N 1 0 乃至 N 4 0 のうちの 1 つ。) を出力バッファ回路 5 0 0 に接続して所定の遅延時間を有する出力信号 O U T が出力される。ここで N M O S トランジスタは、ゲート端子へのハイレベル信号で導通するので、制御信号 / S (0, 0) 乃至 / S (1, 1) の論理を反転するインバータゲート I N V 1 1 0

、INV210、INV310、INV410からの出力信号が入力されている。また、出力バッファ回路500は、トランスファゲートからの信号を波形整形すると共に、出力信号OUTが入力される図示しない後段回路への駆動能力を確保するための回路であり、図8に示すように2段のインバータゲート501、502で構成される。

【0005】

この回路構成により、遅延回路1000は、入力信号INに対して、2段のインバータゲート101と102乃至401と404における信号伝播の遅延時間を単位遅延時間として、この単位遅延時間を遅延ステップとする遅延信号を出力信号OUTとして出力する。

【0006】

図9に示す第2従来技術の遅延回路2000では、第1従来技術の遅延回路1000の選択スイッチ回路SW110乃至SW410に代えて、選択スイッチ回路SW120、SW220、SW320、SW420が備えられている。選択スイッチ回路SW120乃至SW420では、遅延出力信号N10乃至N40は、制御信号/S(0,0)乃至/S(1,1)と論理演算されて、出力バッファ回路503へ出力される。即ち、選択スイッチ回路SW120乃至SW420は、遅延部100からの遅延出力信号N10乃至N40と、制御信号/S(0,0)乃至/S(1,1)とを、ノアゲートNOR110、NOR210、NOR310、NOR410に入力して得られる論理演算結果を出力する。制御信号/S(0,0)乃至/S(1,1)が選択されてローレベルとなると、対応するノアゲートNOR110乃至NOR410は、その一方の入力がローレベルとなり反転論理動作を行う。他方、制御信号/S(0,0)乃至/S(1,1)がハイレベルとなり選択されないノアゲートNOR110乃至NOR410は、一方の入力がハイレベルとなり出力はローレベルに固定される。選択された選択スイッチ回路SW120乃至SW420の出力信号N11、N21、N31、N41のみが遅延出力信号N10乃至N40の反転信号となり他の出力信号はローレベルに固定されることとなる。従って、これらの出力信号N11乃至N41を出力バッファ回路である4入力ノアゲート503により論理演算することにより、論理反転

されて出力信号OUTから出力される。

【0007】

この回路構成により、遅延回路2000は、入力信号INに対して、2段のインバータゲート101と102乃至401と402における信号伝播の遅延時間を単位遅延時間として、この単位遅延時間を遅延ステップとする遅延信号を出力信号OUTとして出力する。

【0008】

図10に示す第3従来技術の遅延回路3000は、例えば、特開平10-149227号公報の図9に開示されている回路である。この遅延回路3000は、第1従来技術の遅延回路1000及び第2従来技術の遅延回路2000とは異なり、入力信号INをインバータゲート800で反転した上で選択スイッチ回路SW130、SW230、SW330、SW430により分岐して遅延部110の各所定遅延段に入力し、遅延部110の終端から所定遅延信号を出力信号OUTとして出力する構成である。遅延部110の所定遅延段は、遅延部100の所定遅延段における前段インバータゲート101、201、301、401に代えて、ナンドゲート103、203、303、403で構成されており、遅延チェーン先頭のナンドゲート103の入力は、選択スイッチ回路SW130からの出力N12に接続されると共に電源電圧Vccに接続されている。また各ナンドゲート203、303、403における入力のうち一方は、前段の所定遅延段からの出力が接続されており、他方の入力に選択スイッチ回路SW230乃至SW430からの出力N22乃至N42が入力される。制御信号/S(0, 0)乃至/S(1, 1)からインバータゲートINV16乃至INV46を介して反転された信号がハイレベルになると、対応するナンドゲートNAND110乃至NAND410は、その一方の入力がハイレベルとなり反転論理動作を行う。他方、制御信号/S(0, 0)乃至/S(1, 1)がハイレベルとなるとナンドゲートNAND110乃至NAND410は、一方の入力がローレベルとなり出力はハイレベルに固定される。選択された選択スイッチ回路SW130乃至SW430の出力信号N12乃至N42のみに入力信号INの同相信号が伝わり、他の出力信号はハイレベルに固定されることとなる。信号N12乃至N42が入力される所定

遅延段の入力ゲートもナンドゲート 1 0 3 乃至 4 0 3 であるので、ハイレベルが入力されたナンドゲート 1 0 3 乃至 4 0 3 は反転論理動作を行うこととなる。遅延チェーン先頭のナンドゲート 1 0 3 には電源電圧 V_{cc} が入力されているので、遅延チェーン先頭から続く非選択の選択スイッチ回路からのハイレベル固定信号を受ける各所定遅延段は、ハイレベル入力を反転処理するナンドゲートとインバータゲートとによりハイレベルが出力される。従って、選択されて入力信号 I_N と同相の信号を出力する選択スイッチ回路からの信号を受ける所定遅延段以降では、この同相信号に単位遅延時間が順次加算されて伝播していく。

【 0 0 0 9 】

この回路構成により、遅延回路 3 0 0 0 は、入力信号 I_N に対して、ナンドゲートとインバータゲートとの信号伝播の遅延時間を単位遅延時間として、この単位遅延時間を遅延ステップとする遅延信号を出力信号 O_{UT} として出力する。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、第 1 従来技術の遅延回路 1 0 0 0 では、遅延部 1 0 0 と出力バッファ回路 5 0 0 とがトランスファゲートを介して接続されているため、トランスファゲートを構成する PMOS 及び NMOS トランジスタ T_{110} と T_{120} 乃至 T_{410} と T_{420} のオン抵抗が寄生抵抗として信号経路に挿入される。この寄生抵抗は、トランスファゲートを構成するトランジスタのサイズを大きくすれば小さな値とはなるが、半導体集積回路装置においては、広い調整幅を必要とすることから遅延回路 1 0 0 0 は多段構成となることが一般的である。例えば、SDRAM 等において使用する DLL 回路においては 1 0 0 段以上の所定遅延段により構成される。また遅延回路 1 0 0 0 に割り当てられるチップ上の占有面積も限られているため、トランジスタサイズを十分に大きくすることはできない。そのため、この寄生抵抗は比較的大きな値となり 1 0 0 オーム程度の値となることも珍しくない。更に、全ての選択スイッチ回路 SW_{110} 乃至 SW_{410} の出力端子 N_{100} は相互に結合されており、出力バッファ回路 5 0 0 の入力ゲート容量や配線容量の他、各選択スイッチ回路 SW_{110} 乃至 SW_{410} の出力にあるトランスファゲートを構成する PMOS 及び NMOS トランジスタ T_{110} と

T 1 2 0 乃至 T 4 1 0 と T 4 2 0 のソース・ドレイン接合容量が接続される。そのため端子 N 1 0 0 には多大な容量負荷が寄生容量として存在し、所定遅延段の段数によっては 1 0 p F 程度の寄生容量が存在することも珍しくない。従って、遅延部 1 0 0 の各所定遅延段の出力から出力バッファ回路 5 0 0 までの信号経路は、上記寄生抵抗と寄生容量の負荷により寄生の C R 時定数回路が形成されてしまい、信号伝播遅延が生ずると共に信号波形自身が鈍ってしまう。そして半導体集積回路装置の製造ばらつき等により寄生抵抗・容量はばらつくのでこれらの寄生素子による遅延量等もばらつくこととなる。上記の数値例からこの寄生遅延回路の時定数を算出すると、1 n s e c 程度と算出される。これは単位遅延時間の 1 0 倍程度の時間となるため、遅延時間の調整値に対してその 1 0 倍程度の寄生素子による遅延が付加されてしまい精度よく遅延量の調整を行なうことができず問題である。特に、半導体集積回路装置の今後の更なる高速化に対応して細かい時間ステップで遅延量を調整したい場合に、精度よく遅延調整を行なうことが困難になる。また、短パルスでの回路動作も必要となるが、寄生遅延素子による波形鈍りにより短パルスが潰されて消滅してしまう虞もあり、この場合には半導体集積回路装置は動作不良を引き起こすこととなり問題である。

【 0 0 1 1 】

また、寄生 C R 時定数回路による信号波形の鈍り等は、信号経路である端子 N 1 0 乃至 N 4 0 から端子 N 1 0 0 を駆動する遅延部 1 0 0 の各所定遅延段の出力インバータゲート 1 0 2 乃至 4 0 2 の駆動能力を大きくすれば改善することができる。しかしながら、遅延部 1 0 0 が多段構成になるほど寄生素子による遅延・鈍り効果が大きくなるのに反して、チップ上の許容占有面積の制約からインバータゲート 1 0 2 乃至 4 0 2 の駆動能力の強化は制限されてしまい、半導体集積回路装置の高速化に伴う微小時間ステップでの遅延量の調整という要請には益々対応できなくなる虞があり問題である。

【 0 0 1 2 】

第 2 従来技術の遅延回路 2 0 0 0 では、選択スイッチ回路 S W 1 2 0 乃至 4 2 0 からの出力はノアゲート N O R 1 1 0 乃至 N O R 4 1 0 であるため、選択スイッチ回路 S W 1 2 0 乃至 4 2 0 毎に個別に信号経路である端子 N 1 1 乃至 N 4 1

が出力される。そのため多段構成の遅延回路 2 0 0 0 においては、多数の端子 N 1 1 乃至 N 4 1 が必要となりチップ上大きな配線領域を要するため半導体集積回路装置の高集積化の妨げとなり問題である。また、これらの信号から選択して入力信号 I N に対する遅延信号を出力信号 O U T に出力するために出力バッファ回路として所定の論理回路が必要となる。図 9 においては 4 本の信号 N 1 1 乃至 N 4 1 に対して論理演算を行なう出力バッファ回路として 4 入力のノアゲート N O R 5 0 3 が例示されているが、論理回路規模は、多段構成の遅延回路 2 0 0 0 において多数の端子 N 1 1 乃至 N 4 1 を信号経路として必要とするにつれ複雑になり、チップ上大きな占有領域を要するため半導体集積回路装置の高集積化の妨げとなり問題である。

【 0 0 1 3 】

第 3 従来技術の遅延回路 3 0 0 0 では、入力信号 I N を反転するインバータゲート 8 0 0 の出力端子 N 8 0 0 は、全ての選択スイッチ回路 S W 1 3 0 乃至 S W 4 3 0 を構成するナンドゲート N A N D 1 1 0 乃至 N A N D 4 1 0 に入力される。インバータゲート 8 0 0 の出力端子 N 8 0 0 に接続すべきナンドゲートの数は所定遅延段の段数に比例するので、遅延回路 3 0 0 0 が多段構成となるに伴い、インバータゲート 8 0 0 が駆動すべき端子 N 8 0 0 のゲート容量が増大する。従って、多段構成の遅延回路 3 0 0 0 において、端子 N 8 0 0 の容量負荷が大きくなるにつれて、インバータゲート 8 0 0 の駆動能力が充分ではなくなる結果、短パルス波形が潰れてしまう虞があり問題である。

【 0 0 1 4 】

また、遅延部 1 1 0 における各所定遅延段では、後段ゲートがインバータゲート 1 0 2 乃至 4 0 2 であるのに対して、前段ゲートがナンドゲート N A N D 1 0 3 乃至 4 0 3 で構成されている。ここで、各ゲートにおけるトランジスタの出力端子に対する構成は、インバータゲートについては、電源電圧 V c c 側と接地電位 V s s 側とで対称配置でありバランスされるため、ソース、シンク駆動の駆動能力に差は生じない。一方、ナンドゲートについては、電源電圧 V c c 側には P M O S トランジスタが並列接続されるのに対して、接地電位 V s s 側には N M O S トランジスタが直列接続されるため、ソース駆動に比してシンク駆動の駆動能

力が弱いという駆動能力のアンバランスが存在する。即ち、入力信号 I N にパルス波形が印加される場合、ナンドゲート 1 0 3 乃至 4 0 3 出力の立ち上がり波形に比して立ち下がり波形が鈍る。このことは入力信号 I N の立ち下がり波形に比して立ち上がり波形に対応してより大きな遅延が生ずることを示しており、所定遅延段を通過する毎に伝播するパルス幅が狭められることを意味する。半導体集積回路装置の高速化に伴い必要となる短パルスの伝播ができなくなる虞があり問題である。

【 0 0 1 5 】

上記の問題点については、インバータゲート 8 0 0 の駆動能力を大きくし、またナンドゲート 1 0 3 乃至 4 0 3 の接地電位 V_{ss} 側に直列接続される NMOS トランジスタのサイズを大きくすることで、ある程度は改善される。しかしながら、これらの対策は、チップ上大きな占有領域を要するため半導体集積回路装置の高集積化の妨げとなり問題である。またトランジスタサイズの増大はそれ自身の有する寄生容量の増大を意味しており、遅延回路 3 0 0 0 の多段構成化や高速動作化を十分に図ることができないという問題がある。

【 0 0 1 6 】

本発明は前記従来技術の問題点を解消するためになされたものであり、寄生素子による寄生の遅延や波形変形等を伴わず、入力信号からの伝播信号に遅延時間を適宜に精度よく付加することにより、所定遅延時間の遅延信号や所定時間幅の遅延パルスを精度よく適宜に生成することができる遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る遅延回路は、入力信号に対して所定遅延時間を付加する所定遅延段を 2 以上有する遅延部と、所定遅延段を適宜に組合わせて目的遅延時間の遅延出力信号を出力する遅延経路を確立する選択スイッチ部とを備えており、選択スイッチ部は、入力信号からの伝播信号を入力するバッファ部と、遅延部における遅延経路を確立する際、バッファ部を活性化する選択部とを備えることを特徴とする。

また請求項 7 に係る半導体集積回路装置は、入力信号に対して所定遅延時間を付加する所定遅延段を 2 以上有する遅延部と、入力信号からの伝播信号を入力するバッファ部と遅延部における前記遅延経路を確立する選択部とを有し、所定遅延段を適宜に組合わせて入力信号に対して目的遅延時間の遅延出力信号を出力する遅延経路を確立する選択スイッチ部とを備えることを特徴とする。

更に請求項 1 0 に係る遅延方法は、入力信号に対して所定遅延時間を順次付加していく遅延工程と、遅延工程において付加される所定遅延時間毎に遅延信号を出力する出力工程と、目的遅延時間を有する遅延信号を出力する出力工程についてのみ活性化する選択工程とを備えることを特徴とする。

【 0 0 1 8 】

請求項 1 の遅延回路、請求項 7 の半導体集積回路装置、及び請求項 1 0 の遅延方法では、2 以上の所定遅延段を有する遅延部からの伝播信号を選択スイッチ部のバッファ部に受けておき、これらの所定遅延段を適宜に組合わせて目的遅延時間の遅延出力信号を出力する遅延経路を確立するバッファ部を選択部により活性化する。

【 0 0 1 9 】

これにより、遅延部からの伝播信号が入力されているバッファ部を選択部により適宜に活性化すれば目的遅延時間を有する遅延経路を確立することができるので、トランスファゲート等の寄生負荷を遅延経路上に挿入することなく経路選択をすることができる。またこの回路構成により素子の寄生負荷による遅延時間への影響を最小限に留めることができるため、チップ占有面積を圧迫しないコンパクトな素子サイズで回路を構成することができる。従って、遅延部から選択スイッチ部を介して形成される遅延経路に C R 時定数回路等の寄生遅延回路は形成されず、この回路に基づく信号伝播遅延や信号波形自身の鈍りが発生することはない。また短パルスでの回路動作においてもパルスが潰されることはなく精度よく短パルスを維持することができる。そして半導体集積回路装置の製造ばらつき等によっても遅延量のばらつきを抑えることができる。特に、半導体集積回路装置の高速化に対応して短パルスの入力や細かい時間ステップでの遅延量を調整したい場合にも精度よく遅延調整を行なうことができる遅延回路を実現することがで

きる。また、多種の目的遅延時間を適宜に選択する遅延回路でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【 0 0 2 0 】

また、遅延部からの遅延時間の異なる伝播信号を論理演算して適宜に選択する必要がないため、伝播信号毎に多数の配線を配置するために必要な多大な配線領域や、多数の伝播信号から適宜な信号を選択するための複雑あるいは大規模な論理回路等が不要となる。従って、遅延回路のチップ上での占有領域をコンパクトな領域とすることができ、半導体集積回路装置の高集積化に寄与することができる。

【 0 0 2 1 】

また、請求項 2 に係る遅延回路は、請求項 1 に記載の遅延回路において、遅延部の所定遅延段は、個別遅延出力信号を出力する個別遅延出力端子を備えており、選択スイッチ部は、個別遅延出力端子毎に設けられて、選択スイッチ部のバッファ部の入力端子は個別遅延出力端子に接続され、選択スイッチ部の出力端子が相互に結合されていることを特徴とする。

【 0 0 2 2 】

請求項 2 の遅延回路では、遅延部の各所定遅延段の個別遅延出力端子から出力される個別遅延出力信号は、各選択スイッチ部のバッファ部の入力端子に入力され、相互に結合されている選択スイッチ部の出力端子から出力される。

【 0 0 2 3 】

これにより、各所定遅延段からの個別遅延出力信号が入力される選択スイッチ部の出力端子が相互に結合されていても、寄生負荷を有するトランスファゲート等で選択スイッチ部が構成されていないので、選択スイッチ部の出力端子を相互に結合する簡易な回路構成により C R 時定数回路等の寄生遅延回路が挿入されることなく遅延経路を構成することができる。またこの回路構成により素子の寄生負荷による遅延時間への影響を最小限に留めることができるため、チップ占有面積を圧迫しないコンパクトな素子サイズで回路を構成することができる。従って、遅延経路に C R 時定数回路等の寄生遅延回路による信号伝播遅延や信号波形自

身の鈍りが発生することはない。また短パルスでの回路動作においてもパルスが潰されることはなく精度よく短パルスを維持することができる。そして半導体集積回路装置の製造ばらつき等によっても遅延量のばらつきを抑えることができる。特に、半導体集積回路装置の高速化に対応して短パルスの入力や細かい時間ステップで遅延量を調整したい場合にも精度よく遅延調整を行なうことができる遅延回路を実現することができる。また、多種の目的遅延時間を適宜に選択する遅延回路でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【 0 0 2 4 】

また、請求項 3 に係る遅延回路は、請求項 1 に記載の遅延回路において、遅延部の所定遅延段は、所定遅延時間を付加すべき信号を入力する個別遅延入力端子を備え、信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされており、選択スイッチ部は、個別遅延入力端子毎に設けられて、選択スイッチ部の出力端子は個別遅延入力端子に接続され、バッファ部の入力端子が結合されていることを特徴とする。

【 0 0 2 5 】

請求項 3 の遅延回路では、相互に結合されたバッファ部の入力端子に入力信号からの伝播信号が入力され、各出力端子が各所定遅延段の個別遅延入力端子に接続されている。各バッファ部のうち選択部により活性化されたバッファ部を介して信号が伝播される。この信号は、立上り遅延時間と立下り遅延時間とが略同一にバランスされた所定遅延段により遅延時間が付加されて出力される。

【 0 0 2 6 】

これにより、入力端子が相互に結合されたバッファ部を選択部により適宜に活性化して目的遅延時間を有する遅延部の遅延経路に信号を入力する構成において、遅延部の所定遅延段の立上り及び立下り遅延時間を略同一にバランスさせて構成するので、目的遅延時間を得るために所定遅延段を多段に接続する場合にも入力パルス信号のパルス幅が変化することはない。また遅延経路にトランスファゲート等の寄生負荷を挿入する必要はない。更にこの回路構成により素子の寄生負荷による C R 時定数回路等の寄生遅延回路は形成されず遅延時間への影響を最小

限に留めることができるため、チップ占有面積を圧迫しないコンパクトな素子サイズで回路を構成することができる。従って、短パルスでの回路動作においてもパルスが潰されることはなく精度よく短パルスを維持することができる。また寄生遅延回路がないため信号伝播遅延や信号波形自身の鈍りが発生することはない。特に、半導体集積回路装置の高速化に対応して短パルスを細かい時間ステップで遅延量調整したい場合にも精度よく調整を行なうことができる遅延回路を実現することができる。また、また多種の目的遅延時間を適宜に選択する遅延回路でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【 0 0 2 7 】

また、請求項 4 に係る遅延回路は、請求項 1 又は 2 に記載の遅延回路において、選択スイッチ部のバッファ部は、ゲート端子を入力端子とする第 1 トランジスタを備え、選択スイッチ部の選択部は、遅延部における遅延経路を確立するための制御信号がゲート端子に入力される第 2 トランジスタを備えており、第 1 及び第 2 トランジスタは、選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続されていることを特徴とする。

また請求項 8 に係る半導体集積回路装置は、請求項 7 に記載の半導体集積回路装置において、選択スイッチ部において、バッファ部はゲート端子を入力端子とする第 1 トランジスタを備え、選択部は遅延部における遅延経路を確立するための制御信号がゲート端子に入力される第 2 トランジスタを備え、第 1 及び第 2 トランジスタは、選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続されていることを特徴とする。

【 0 0 2 8 】

請求項 4 の遅延回路、及び請求項 8 の半導体集積回路装置では、第 1 及び第 2 トランジスタを備えた選択スイッチ部の第 2 トランジスタのゲート端子に、遅延部における遅延経路を確立するための制御信号を入力することにより、第 1 トランジスタを第 1 電源電圧と出力端子との間に接続して第 1 トランジスタを活性化して伝播信号を出力する。

【 0 0 2 9 】

これにより、選択スイッチ部を、選択スイッチ部の出力端子と第1電源電圧との間に直列接続される第1及び第2トランジスタにより構成し、第2トランジスタのゲート端子に遅延経路を確立するための制御信号を入力して、第1トランジスタを第1電源電圧と出力端子との間に接続することができるので、第2トランジスタにより活性化された第1トランジスタのゲート端子に遅延部からの伝播信号を入力すれば遅延経路を確立することができる。バッファ部を構成する第1トランジスタを活性化するために、トランスファゲート等の寄生負荷を遅延経路上に挿入する必要はない。またこの回路構成により素子の寄生負荷による遅延時間への影響を最小限に留めることができるため、チップ占有面積を圧迫しないコンパクトな素子サイズで回路を構成することができる。従って、遅延部から選択スイッチ部を介して形成される遅延経路にCR時定数回路等の寄生遅延回路は形成されず、この回路に基づく信号伝播遅延や信号波形自身の鈍りが発生することはない。そして半導体集積回路装置の製造ばらつき等によっても遅延量のばらつきを抑えることができる。特に、半導体集積回路装置の高速化に対応して細かい時間ステップでの遅延量の調整の場合にも精度よく遅延調整を行なうことができる遅延回路を実現することができる。また、多種の目的遅延時間を適宜に選択する遅延回路でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【0030】

また、請求項4に記載の遅延回路においては、第1トランジスタは、選択スイッチ部の出力端子側に備えられ、第2トランジスタは、第1電源電圧側に備えられることとしてもよい。

【0031】

この構成では、選択スイッチ部の第2トランジスタのゲート端子に遅延部における遅延経路を確立するための制御信号を入力することにより、第1トランジスタは、第2トランジスタを介して第1電源電圧に接続され活性化される。

【0032】

これにより、第2トランジスタを介して第1電源電圧を供給される第1トランジスタは選択スイッチ部の出力端子に接続され、出力端子との間に第2トランジ

スタが介在せず直結されるので、第 1 トランジスタが活性化される際、第 1 トランジスタの駆動経路に第 2 トランジスタの寄生負荷が挿入されず、C R 時定数回路等の寄生遅延回路が付加されることはない。

【 0 0 3 3 】

また、請求項 4 に記載の遅延回路においては、第 1 トランジスタは、第 1 電源電圧側に備えられ、第 2 トランジスタは、選択スイッチ部の出力端子側に備えられることとしてもよい。

【 0 0 3 4 】

この構成では、選択スイッチ部の第 2 トランジスタのゲート端子に遅延部における遅延経路を確立するための制御信号を入力することにより、第 1 トランジスタは、第 2 トランジスタを介して出力端子に接続され活性化される。

【 0 0 3 5 】

これにより、第 1 電源電圧に接続される第 1 トランジスタは、第 2 トランジスタを介して選択スイッチ部の出力端子に接続され、出力端子との間に第 2 トランジスタが挿入されるので、第 1 トランジスタが活性化される際、第 1 トランジスタのゲート端子に入力される伝播信号のレベル遷移の影響が出力端子に現れることはない。

【 0 0 3 6 】

また、請求項 4 に記載の遅延回路においては、選択スイッチ部において、バッファ部は、ゲート端子を入力端子とする第 3 トランジスタを更に備えており、選択部は、遅延部における遅延経路を確立するための制御信号がゲート端子に入力される第 4 トランジスタを更に備えており、第 3 及び第 4 トランジスタは、選択スイッチ部の出力端子と第 2 電源電圧との間に直列接続されるようにしてもよい。

【 0 0 3 7 】

この構成では、選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続される第 1 及び第 2 トランジスタに加え、出力端子と第 2 電源電圧との間に第 3 及び第 4 トランジスタが直列接続されて選択スイッチ部が構成されており、第 2 及び第 4 トランジスタのゲート端子に、遅延部における遅延経路を確立するための

制御信号を入力することにより、第 1 及び第 3 トランジスタを第 1 及び第 2 電源電圧と出力端子との間に接続して第 1 及び第 3 トランジスタを活性化して伝播信号を出力する。

【 0 0 3 8 】

これにより、選択スイッチ部を、直列接続される第 1 及び第 2 トランジスタと第 3 及び第 4 トランジスタとにより、選択スイッチ部の出力端子と第 1 及び第 2 電源電圧との間で構成し、第 2 及び第 4 トランジスタのゲート端子に遅延経路を確立するための制御信号を入力して、第 1 トランジスタを第 1 電源電圧と出力端子との間に接続し、第 3 トランジスタを第 2 電源電圧と出力端子との間に接続することができるので、第 2 及び第 4 トランジスタにより活性化された第 1 及び第 3 トランジスタのゲート端子に遅延部からの伝播信号を入力すれば遅延経路を確立することができる。選択スイッチ部の出力端子を、第 1 及び第 2 電源電圧の 2 つの異なる電源電圧により駆動することができるので、パルス信号を入力信号として入力し、目的遅延時間を付加した遅延したパルス信号として出力することができる。

【 0 0 3 9 】

更に、第 1 及び第 3 トランジスタは、選択スイッチ部の出力端子側に備えられ、第 2 トランジスタは、第 1 電源電圧側に備えられ、第 4 トランジスタは、第 2 電源電圧側に備えられることとしてもよい。

【 0 0 4 0 】

この構成では、選択スイッチ部の第 2 及び第 4 トランジスタのゲート端子に遅延部における遅延経路を確立するための制御信号を入力することにより、第 1 及び第 3 トランジスタは、第 2 及び第 4 トランジスタを介して第 1 及び第 2 電源電圧に接続され活性化される。

【 0 0 4 1 】

これにより、第 2 及び第 4 トランジスタを介して第 1 及び第 2 電源電圧を供給される第 1 及び第 3 トランジスタは選択スイッチ部の出力端子に接続され、出力端子との間に第 2 及び第 4 トランジスタが介在せず直結されるので、第 1 及び第 3 トランジスタが活性化される際、第 1 及び第 3 トランジスタの駆動経路に第 2

及び第4トランジスタの寄生負荷が挿入されず、CR時定数回路等の寄生遅延回路が付加されることはない。

【0042】

また、第2及び第4トランジスタは、選択スイッチ部の出力端子側に備えられ、第1トランジスタは、第1電源電圧側に備えられ、第3トランジスタは、第2電源電圧側に備えられることとしてもよい。

【0043】

この構成では、選択スイッチ部の第2及び第4トランジスタのゲート端子に遅延部における遅延経路を確立するための制御信号を入力することにより、第1及び第3トランジスタは、第2及び第4トランジスタを介して出力端子に接続され活性化される。

【0044】

これにより、第1及び第2電源電圧に接続される第1及び第3トランジスタは、第2及び第4トランジスタを介して選択スイッチ部の出力端子に接続され、出力端子との間に第2及び第4トランジスタが挿入されるので、第1及び第3トランジスタが活性化される際、第1及び第3トランジスタのゲート端子に入力される伝播信号のレベル遷移の影響が出力端子に現れることはない。

【0045】

また、第1電源電圧は電源電圧電位であり、第1及び第2トランジスタはPMOSトランジスタであり、あるいは第1電源電圧は接地電位であり、第1及び第2トランジスタはNMOSトランジスタであることが好ましい。

更に、第2電源電圧は電源電圧電位であり、第3及び第4トランジスタはPMOSトランジスタであり、あるいは第2電源電圧は接地電位であり、第3及び第4トランジスタはNMOSトランジスタであることが好ましい。

これにより、各選択スイッチ部における出力端子を相互に結合する構成であるため、出力端子に付加される寄生容量は、第1あるいは第2、又は第3あるいは第4トランジスタであるPMOSあるいはNMOSトランジスタのドレイン端子に寄生する接合容量となる。ここで、一般的にMOSトランジスタでは、ゲート容量に比してドレイン端子の接合容量の容量値が小さいことが確認されている。

従って、第 3 従来技術に示す選択スイッチ部の入力端子を相互結合した場合に入力ゲート容量の総和として付加される寄生容量に比して、小さい寄生容量で構成することができる。

【 0 0 4 6 】

また、第 1 トランジスタに比して、第 2 トランジスタの駆動能力を大きくしてもよい。

【 0 0 4 7 】

この構成では、第 1 トランジスタの駆動能力より大きな駆動能力を有する第 2 トランジスタを介して第 1 電源電圧あるいは選択スイッチ部の出力端子と第 1 トランジスタが接続される。

【 0 0 4 8 】

これにより、選択スイッチ部の選択部を構成する第 2 トランジスタの駆動能力が、バッファ部を構成する第 1 トランジスタより大きいので、バッファ部の駆動の際、第 2 トランジスタの存在が駆動能力を律速することはない。

【 0 0 4 9 】

また、第 3 トランジスタに比して、第 4 トランジスタの駆動能力を大きくしてもよい。

【 0 0 5 0 】

この構成では、第 3 トランジスタの駆動能力より大きな駆動能力を有する第 4 トランジスタを介して第 2 電源電圧あるいは選択スイッチ部の出力端子と第 3 トランジスタが接続される。

【 0 0 5 1 】

これにより、選択スイッチ部の選択部を構成する第 4 トランジスタの駆動能力が、バッファ部を構成する第 3 トランジスタより大きいので、バッファ部の駆動の際、第 4 トランジスタの存在が駆動能力を律速することはない。

【 0 0 5 2 】

また、請求項 2 又は 3 に記載の遅延回路においては、遅延部は、所定遅延段の出力端子が次段の所定遅延段の入力端子に接続されて、所定遅延段が直列に多段接続された遅延経路を伝播信号が伝播するようにしてもよい。

そして、所定遅延段は、入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされるようにしてもよい。

更に、請求項 5 に係る遅延回路は、請求項 2 又は 3 に記載の遅延回路において、所定遅延段は、入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされた論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成される。

また請求項 9 に係る半導体集積回路装置は、請求項 7 又は 8 に記載の半導体集積回路装置において、所定遅延段は、入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされていることを特徴とする。

更に請求項 1 0 に記載の遅延方法においては、遅延工程において、所定遅延時間は、入力される信号の立上り遅延時間と立下り遅延時間とで略同一の遅延時間を有することが好ましい。

【 0 0 5 3 】

これにより、遅延部の所定遅延段が、直列に多段接続されて遅延経路を形成しており、個々の所定遅延段が、立上り及び立下り遅延時間を略同一にバランスさせて構成されるので、多段接続の所定遅延段をパルス信号が伝播する際にもパルス幅が変化することはない。このときの所定遅延段は、基本単位として立上り遅延時間と立下り遅延時間とが略同一にバランスされた論理反転部を直列に偶数段接続した構成を単位遅延段とすることが好ましく、論理反転部はインバータゲートであることが好ましい。

【 0 0 5 4 】

また、請求項 6 に係る遅延回路は、請求項 2 又は 3 に記載の遅延回路において、所定遅延段は、入力される信号の立上り遅延時間と立下り遅延時間とが異なる論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成されることを特徴とする。

【 0 0 5 5 】

請求項 6 の遅延回路では、入力される信号の立上り遅延時間と立下り遅延時間とが異なる論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成した所定遅延段が、直列に多段接続された遅延経路を伝播信号が伝播する。

【 0 0 5 6 】

これにより、入力端子が相互に結合されたバッファ部を選択部により適宜に活性化して、直列に多段接続された所定遅延段で構成された遅延部の遅延経路に信号を入力する構成において、所定遅延段を、立上り遅延時間と立下り遅延時間とが異なる論理反転部を直列に偶数段接続して構成することにより所定遅延段の立上り及び立下り遅延時間を略同一にバランスさせて構成することができるので、パルス信号を入力する際にもパルス幅が変化することはない。

【 0 0 5 7 】

また、請求項 6 に記載の遅延回路において、論理反転部は、伝播信号が入力される入力端子以外の入力端子を電源電圧電位に接続することにより反転論理を構成するナンドゲートであり、あるいは伝播信号が入力される入力端子以外の入力端子を接地電位に接続することにより反転論理を構成するノアゲートであることが好ましい。

また、遅延部は、同一構成の所定遅延段により構成されていることが好ましい。

これにより、半導体集積回路装置の製造ばらつき等によって論理反転部の遅延量がばらついても、相互にばらつきを相殺することができ、遅延量のばらつきを抑えることができる。

更に、遅延部における遅延経路が、2 以上の複合制御信号の論理組合せにより確立される場合において、第 2 あるいは第 4 トランジスタに代えて、これらのトランジスタと同等の能力を有し、各複合制御信号が各々のゲート端子に入力される、2 以上のトランジスタが直列接続されたトランジスタ列を備えることが好ましい。

これにより、目的遅延時間の時間幅が広くなり、あるいは時間ステップが短くなって、遅延部がより多段となる場合に、より少ない制御信号により選択スイッチ部を制御することができ、配線領域の低減効果は大きなものとなる。

【 0 0 5 8 】

【発明の実施の形態】

以下、本発明の遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法

について具体化した実施形態を図 1 乃至図 7 に基づき図面を参照しつつ詳細に説明する。

図 1 は、第 1 実施形態に係る遅延回路を示す回路図である。図 2 は、第 2 実施形態に係る遅延回路を示す回路図である。図 3 は、第 3 実施形態に係る遅延回路を示す回路図である。図 4 は、第 4 実施形態に係る遅延回路を示す回路図である。図 5 は、第 5 実施形態に係る遅延回路を示す回路図である。図 6 は、第 6 実施形態に係る遅延回路を示す回路図である。図 7 は、第 7 実施形態に係る遅延回路を示す回路図である。

【 0 0 5 9 】

図 1 に示す第 1 実施形態の遅延回路 1 は、第 1 従来技術の遅延回路 1 0 0 0 (図 8、参照) における選択スイッチ部 SW 1 1 0 乃至 SW 4 1 0 に代えて、選択スイッチ部 SW 1 1、SW 2 1、SW 3 1、SW 4 1 を備える。第 1 従来技術における選択スイッチ部 SW 1 1 0 乃至 SW 4 1 0 とは異なり、選択スイッチ部 SW 1 1 乃至 SW 4 1 は論理反転機能を伴うので、出力バッファ回路 5 0 0 をインバータゲート 5 0 1、5 0 2 の 2 段構成から、インバータゲート 1 段構成の出力バッファ回路 5 0 とする。

【 0 0 6 0 】

選択スイッチ部 SW 1 1 は、バッファ部と選択部とにより構成される。バッファ部は、PMOS トランジスタ T 1 1 と NMOS トランジスタ T 1 2 とのドレイン端子同士を接続して出力端子 N 1 0 0 とする。ゲート端子も接続されて入力端子となり、遅延部 1 0 0 を構成する所定遅延段 1 0 1 と 1 0 2 の個別遅延出力端子 N 1 0 に接続される。また PMOS トランジスタ T 1 1 のソース端子は PMOS トランジスタ T 1 3 のドレイン端子に接続されて直列接続を構成し、電源電圧 V c c に接続される。NMOS トランジスタ T 1 2 のソース端子も同様に NMOS トランジスタ T 1 4 のドレイン端子に接続されて直列接続を構成しており、接地電位 V s s に接続される。PMOS トランジスタ T 1 3 のゲート端子にはローアクティブ信号の制御信号 / S (0, 0) が接続され、NMOS トランジスタ T 1 4 のゲート端子には制御信号 / S (0, 0) がインバータゲート INV 1 1 を介して反転されて接続され、遅延経路を確立する。PMOS トランジスタ T 1 3

とNMOSトランジスタT14とにより選択部を構成する。

【0061】

選択スイッチ部SW21乃至SW41についても同一構成である。各々のバッファ部は、PMOS及びNMOSトランジスタT21とT22乃至T41とT42をペアとしてインバータゲートとして構成される。これらのインバータゲート構成のゲート端子は、入力端子N20乃至N40として遅延部100における各所定遅延段201と202乃至401と402の出力端子であるインバータゲート202乃至402の出力に接続される。そして出力端子は相互に結合されて端子N100となる。

また選択部は、バッファ部を構成する各インバータゲート構成のPMOS及びNMOSトランジスタT21とT22乃至T41とT42の各ソース端子に、PMOSトランジスタT23乃至T43、及びNMOSトランジスタT24乃至T44の各ドレイン端子が接続されて構成される。更にゲート端子には、制御信号/S(1, 0)乃至/S(1, 1)がPMOSトランジスタT23乃至T43に接続されると共に、インバータゲートINV21乃至INV41により反転されてNMOSトランジスタT24乃至T44に接続される。

【0062】

選択スイッチ回路SW11乃至SW41からの出力信号はN100として結合される。結合された出力端子N100は、出力バッファ回路50に入力されて出力端子OUTから出力される。

【0063】

遅延部100の所定遅延段101と102に入力される入力信号INは、各所定遅延段101と102乃至401と402毎に所定遅延時間を付加されて遅延される。各段の遅延信号は、各個別遅延出力端子N10乃至N40から出力され、各選択スイッチ部SW11乃至SW41のバッファ部T11とT12乃至T41とT42に入力される。これらの選択スイッチ部SW11乃至SW41は、選択部T13とT14乃至T43とT44に入力される制御信号/S(0, 0)乃至/S(1, 1)のうちの1信号のみがローレベルとなることにより該当する選択スイッチ部SW11乃至SW41のバッファ部T11とT12乃至T41とT

4 2 のみが活性化される。活性化された選択スイッチ部 S W 1 1 乃至 S W 4 1 からの信号は、選択スイッチ部 S W 1 1 乃至 S W 4 1 からの出力端子 N 1 0 0 に出力され、目的遅延時間を有する信号が出力バッファ回路 5 0 から出力端子 O U T に出力される。

【 0 0 6 4 】

選択スイッチ回路 S W 1 1 乃至 S W 4 1 からの出力信号は端子 N 1 0 0 として相互に結合される。結合された出力端子 N 1 0 0 は、出力バッファ回路 5 0 により論理反転と共に波形整形、駆動能力の確保等がなされた上で、出力端子 O U T から出力される。

【 0 0 6 5 】

以上より第 1 実施形態の遅延回路 1 では、各所定遅延段 1 0 1 と 1 0 2 乃至 4 0 1 と 4 0 2 の個別遅延出力端子 N 1 0 乃至 N 4 0 からの個別遅延出力信号が、バッファ部 T 1 1 と T 1 2 乃至 T 4 1 と T 4 2 に入力される。出力端子 N 1 0 0 は相互に結合される。この構成では、寄生負荷を有するトランスファゲート等で選択スイッチ部 S W 1 1 乃至 S W 4 1 が構成されていないので、簡易な回路構成により C R 時定数回路等の寄生遅延回路が挿入されることなく遅延経路 1 を構成することができる。またこの回路構成により素子の寄生負荷による遅延時間への影響を最小限に留めることができるため、チップ占有面積を圧迫しないコンパクトな素子サイズで遅延回路 1 を構成することができる。従って、遅延経路に C R 時定数回路等の寄生遅延回路による信号伝播遅延や信号波形自身の鈍りが発生することはない。また短パルスでの回路動作においてもパルスが潰されることなく精度よく短パルスを維持することができる。そして半導体集積回路装置の製造ばらつき等によっても遅延量のばらつきを抑えることができる。特に、半導体集積回路装置の高速化に対応して短パルスの入力や細かい時間ステップで遅延量を調整したい場合にも精度よく遅延調整を行なうことができる遅延回路 1 を実現することができる。また、多種の目的遅延時間を適宜に選択する遅延回路 1 でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【 0 0 6 6 】

また、選択スイッチ部 SW 1 1 乃至 SW 4 1 を、直列接続される第 1 及び第 2 トランジスタである PMOS トランジスタ T 1 1 と T 1 3 乃至 T 4 1 と T 4 3 と、第 3 及び第 4 トランジスタである NMOS トランジスタ T 1 2 と T 1 4 乃至 T 4 2 と T 4 4 とで構成する。そして選択スイッチ部 SW 1 1 乃至 SW 4 1 の出力端子と第 1 及び第 2 電源電圧である電源電圧 V_{cc} 及び接地電位 V_{ss} との間に挿入する。PMOS トランジスタ T 1 3 乃至 T 4 3 及び NMOS トランジスタ T 1 4 乃至 T 4 4 のゲート端子に遅延経路を確立するための制御信号 $/S(0, 0)$ 乃至 $/S(1, 1)$ を入力して、PMOS トランジスタ T 1 1 乃至 T 4 1 を電源電圧 V_{cc} と出力端子 N 1 0 0 との間に、NMOS トランジスタ T 1 2 乃至 T 4 2 を接地電位 V_{ss} と出力端子 N 1 0 0 との間に接続することができる。従って、PMOS トランジスタ T 1 1 乃至 T 4 1 及び NMOS トランジスタ T 1 2 乃至 T 4 2 のうち、活性化された選択スイッチ部 SW 1 1 乃至 SW 4 1 のゲート端子に遅延部 1 0 0 からの伝播信号を入力すれば遅延経路を確立することができる。バッファ部 T 1 1 と T 1 2 乃至 T 4 1 と T 4 2 の出力端子 N 1 0 0 を、電源電圧 V_{cc} と接地電位 V_{ss} との 2 つの異なる電源電圧により駆動することができるので、パルス信号を入力信号 I_N として入力し、目的遅延時間を付加して遅延したパルス信号として出力することができる。

【 0 0 6 7 】

更に、PMOS 及び NMOS トランジスタ T 1 3 と T 1 4 乃至 T 4 3 と T 4 4 を介して電源電圧 V_{cc} 及び接地電位 V_{ss} を供給される PMOS 及び NMOS トランジスタ T 1 1 と T 1 2 乃至 T 4 1 と T 4 2 は、選択スイッチ部 SW 1 1 乃至 SW 4 1 の出力端子 N 1 0 0 に接続され、出力端子 N 1 0 0 との間に PMOS 及び NMOS トランジスタ T 1 3 と T 1 4 乃至 T 4 3 と T 4 4 が介在せず直結されるので、PMOS 及び NMOS トランジスタ T 1 1 と T 1 2 乃至 T 4 1 と T 4 2 が活性化される際、駆動経路に PMOS 及び NMOS トランジスタ T 1 3 と T 1 4 乃至 T 4 3 と T 4 4 の寄生負荷が挿入されず、CR 時定数回路等の寄生遅延回路が付加されることはない。

【 0 0 6 8 】

また、選択スイッチ部 SW 1 1 乃至 SW 4 1 の相互に結合された出力端子 N 1

00に付加される寄生容量は、PMOS及びNMOSトランジスタT11とT12乃至T41とT42のドレイン端子に寄生する接合容量となる。従って、第3従来技術に示す選択スイッチ部SW130乃至SW430の相互に結合された入力端子N800に付加される入力ゲート容量の総和に比して小さい寄生容量で構成される。

具体例として、MOS型集積回路の0.2 μ mプロセスを例にとる。同プロセスにおいて標準的なMOSトランジスタとして、ゲート酸化膜厚： $d = 7\text{ nm}$ 、チャネル長： $L = 0.35\text{ }\mu\text{m}$ 、チャネル幅： $W = 6\text{ }\mu\text{m}$ 、ドレイン端子の幅： $P = 0.8\text{ }\mu\text{m}$ を考える。標準的な算出式により、ゲート容量(C_g)とドレイン端子の接合容量(C_j)を比較すると、 $C_g \approx 4 \times C_j$ の関係を有する。接合容量(C_j)は、ゲート容量(C_g)の1/4程度の値であることが算出され、大幅に寄生容量の低減を図ることができる。

【0069】

また、選択スイッチ部SW11乃至SW41の選択部を構成するPMOS及びNMOSトランジスタT13乃至T43及びT14乃至T44の駆動能力が、バッファ部を構成するPMOS及びNMOSトランジスタT11乃至T41及びT12乃至T42より大きいので、バッファ部の駆動の際、選択部のPMOS及びNMOSトランジスタT13乃至T43及びT14乃至T44の存在が駆動能力を律速することはない。

【0070】

また、遅延部100の所定遅延段101と102乃至401と402が、直列に多段接続されて遅延経路を形成する。個々の所定遅延段101と102乃至401と402は、基本単位として立上り遅延時間と立下り遅延時間とが略同一にバランスされた論理反転部であるインバータゲートを直列に2段接続した構成を単位遅延段101と102乃至401と402としており、多段接続の所定遅延段をパルス信号が伝播する際にもパルス幅が変化することはない。

【0071】

図2に示す第2実施形態の遅延回路2は、第1実施形態の遅延回路1(図1、参照)における選択スイッチ回路SW11乃至SW41の選択部におけるPMO

SトランジスタT13乃至T43、及びNMOSトランジスタT14乃至T44に加えて、各々のソース端子に直列接続したPMOSトランジスタT15乃至T45、及びNMOSトランジスタT16乃至T46を追加接続して、選択スイッチ回路SW12乃至SW42を構成する。

【0072】

選択部のゲート端子には2組の制御信号S1、S2が入力される。選択スイッチ回路SW12の選択部において、PMOSトランジスタT15、T13には各々制御信号S1、S2が入力され、NMOSトランジスタT16、T14には各々制御信号S1、S2がインバータゲートINV13、INV12で反転された反転信号が入力される。他の選択スイッチ回路SW22乃至SW42には、それぞれ制御信号S1、S2の論理が異なる組み合わせが入力される。即ち、SW22におけるPMOSトランジスタT25、T23には各々制御信号S1をインバータゲートINV22で反転した反転信号、及び制御信号S2が入力され、NMOSトランジスタT26、T24には各々制御信号S1をインバータゲートINV23で反転した反転信号、及び制御信号S2が入力される。SW32におけるPMOSトランジスタT35、T33には各々制御信号S1、及び制御信号S2をインバータゲートINV32で反転した反転信号が入力され、NMOSトランジスタT36、T34には各々制御信号S1、及び制御信号S2をインバータゲートINV33で反転した反転信号が入力される。SW42におけるPMOSトランジスタT45、T43には各々制御信号S1をインバータゲートINV42で反転した反転信号、及び制御信号S2をインバータゲートINV43で反転した反転信号が入力され、NMOSトランジスタT46、T44には各々制御信号S1、及び制御信号S2が入力される。

【0073】

この2組の制御信号S1、S2の論理組合わせで4通りの状態が表現されるので、4組の選択スイッチ部SW12乃至SW42のうちの1つのみが選択される。インバータゲートINV12とINV13乃至INV42とINV43は、制御信号S1、S2を反転して、適宜に選択部を構成するPMONTランジスタT25、T33、T43、T45、及びNMONTランジスタT14、T16、T

26、T34のゲート端子に供給するために設けられている。選択スイッチ部SW12乃至SW42のバッファ部を構成するインバータゲート構成のPMOS及びNMOSトランジスタのソース端子から直列接続されて電源電圧Vccに接続されるPMOSトランジスタT13とT15乃至T43とT45、及び直列接続されて接地電位Vssに接続されるNMOSトランジスタT14とT16乃至T44とT46のうちから、制御信号S1、S2により1組が選択されることにより、該当する選択スイッチ部SW12乃至SW42のバッファ部が活性化されて、選択スイッチ部SW12乃至SW42からの出力端子が相互に接続された端子N100に出力され、目的遅延時間を有する信号が出力バッファ回路50から出力端子OUTに出力される。

【0074】

尚、第2実施形態の遅延回路2では、選択スイッチ部SW12乃至SW42における選択部を構成するMOSトランジスタT13、T14、T15及びT16乃至T43、T44、T45及びT46の駆動能力を確保するために、制御信号S1、S2の反転信号を供給するインバータゲートINV12とINV13乃至INV42とINV43をトランジスタ毎に設ける構成を例示したが、インバータゲートの駆動能力が十分に大きい場合には、1つのインバータゲートから供給するように設定してもよい。

【0075】

以上より第2実施形態の遅延回路2では、遅延部100における遅延経路が、2つの複合制御信号である制御信号S1、S2の論理組合せにより確立される場合を示す。PMONトランジスタT13乃至T43及びNMONトランジスタT14乃至T44に代えて、これらのトランジスタと同等の能力を有し、制御信号S1、S2が各々のゲート端子に入力される、2つのトランジスタの直列接続されたトランジスタ列であるPMONトランジスタT13とT15乃至T43とT45及びNMONトランジスタT14とT16乃至T44とT46を備えている。これにより、2つの制御信号S1、S2から4つの選択スイッチ部SW12乃至SW42を選択することができ、少ない制御信号でより多くの選択スイッチ部の選択ができる。目的遅延時間の時間幅が広くなり、あるいは時間ステップが短

くなって、遅延部 1 0 0 がより多段となる場合に、より少ない制御信号により選択スイッチ部を制御することができ、配線領域の低減効果は大きなものとなる。

【 0 0 7 6 】

図 3 に示す第 3 実施形態の遅延回路 3 は、第 1 実施形態の遅延回路 1（図 1、参照）における選択スイッチ回路 SW 1 1 乃至 SW 4 1 への制御入力信号 / S（0, 0）乃至 / S（1, 1）を生成するプリデコード部を備えた構成である。第 2 実施形態の遅延回路 2（図 2、参照）同じく、2 つの制御信号 S 1、S 2 により選択スイッチ部 SW 1 1 乃至 SW 4 1 を選択する実施形態である。

【 0 0 7 7 】

プリデコード部は、制御信号 S 1、S 2 をそのまま、あるいは適宜に反転して、ナンドゲート NAND 1 1 乃至 NAND 4 1 により論理演算して制御入力信号 / S（0, 0）乃至 / S（1, 1）を生成する。即ち、選択スイッチ部 SW 1 1 を選択する制御入力信号 / S（0, 0）を生成するプリデコード部は、制御信号 S 1、S 2 を入力するインバータゲート INV 1 4、INV 1 5 と、インバータゲート INV 1 4、INV 1 5 の出力が入力されるナンドゲート NAND 1 1 とで構成される。制御入力信号 / S（1, 0）を生成するプリデコード部は、制御信号 S 2 を入力するインバータゲート INV 2 5 と、制御信号 S 1 とインバータゲート INV 2 5 の出力とが入力されるナンドゲート NAND 2 1 とで構成される。制御入力信号 / S（0, 1）を生成するプリデコード部は、制御信号 S 1 を入力するインバータゲート INV 3 4 と、インバータゲート INV 3 4 の出力と制御信号 S 2 とが入力されるナンドゲート NAND 3 1 とで構成される。制御入力信号 / S（1, 1）を生成するプリデコード部は、制御信号 S 1、S 2 を入力するナンドゲート NAND 4 1 で構成される。

【 0 0 7 8 】

2 つの制御信号 S 1、S 2 の論理組合わせで 4 通りの状態が表現され、4 組の選択スイッチ部 SW 1 1 乃至 SW 4 1 のうちの 1 つのみが選択される回路動作は、第 2 実施形態の遅延回路 2 と同様である。第 3 実施形態の遅延回路 3 では、選択スイッチ部 SW 1 1 乃至 SW 4 1 を第 1 実施形態の同一構成としながら、外部に制御信号をプリデコードするプリデコード部を設けて、制御入力信号 / S（0

、0)乃至 $S(1, 1)$ を生成する。この構成により、選択スイッチ部SW11乃至SW41におけるMOSトランジスタの直列接続段数を最小限段数の2段に抑えることができ、選択スイッチ部SW11乃至SW41におけるバッファ部T11とT12乃至T41とT42の駆動能力を最大にすることができる。

遅延部100における遅延経路が、2つの複合制御信号である制御信号S1、S2の論理組合せにより確立される場合において、少ない制御信号でより多くの選択スイッチ部の選択ができ、目的遅延時間の時間幅が広くなり、あるいは時間ステップが短くなって、遅延部100がより多段となる場合に、より少ない制御信号により選択スイッチ部を制御して大きな配線領域の低減効果が得られる点については、第2実施形態の遅延回路2と同様である。

【0079】

図4に示す第4実施形態の遅延回路4は、第1実施形態の遅延回路1（図1、参照）における選択スイッチ回路SW11乃至SW41のバッファ部と選択部とのMOSトランジスタを入れ替えた構成である。即ち、バッファ部を構成するPMOSトランジスタT11乃至T41のソース端子を電源電圧 V_{cc} に接続し、ドレイン端子を選択部を構成するPMOSトランジスタT13乃至T43のソース端子に接続する。またバッファ部のNMOSトランジスタT12乃至T42のソース端子を接地電位 V_{ss} に接続し、ドレイン端子を選択部のNMOSトランジスタT14乃至T44のソース端子に接続する。PMOSトランジスタT13乃至T43のドレイン端子とNMOSトランジスタT14乃至T44のドレイン端子とが接続されて選択スイッチ部SW13乃至SW43の出力端子N100を構成する。

【0080】

バッファ部と選択部との接続関係が、第1実施形態の遅延回路1（図1、参照）に対して逆転しているので、遅延部100の各所定遅延段101と102乃至401と402の個別遅延出力端子N10乃至N40は、電源電圧 V_{cc} 側に接続されたPMOSトランジスタT11乃至T41、及び接地電位 V_{ss} 側に接続されたNMOSトランジスタT12乃至T42のゲート端子に接続される。個別遅延出力端子N10乃至N40から入力される伝播信号は出力端子N100とは

分離された状態で選択スイッチ部 SW 1 3 乃至 SW 4 3 に入力される。以上の相違点はあるものの、バッファ部と選択部とを構成する PMOS トランジスタ T 1 1 と T 1 3 乃至 T 4 1 と T 4 3 が電源電圧 V_{cc} と出力端子 N 1 0 0 との間で、NMOS トランジスタ T 1 2 と T 1 4 乃至 T 4 2 と T 4 4 が接地電位 V_{ss} と出力端子 N 1 0 0 との間で、直列接続している構成については同様である。従って、第 4 実施形態の遅延回路 4 においても、第 1 実施形態の遅延回路 1 と同様に動作する。

【 0 0 8 1 】

以上より第 4 実施形態の遅延回路 4 では、電源電圧 V_{cc} 及び接地電位 V_{ss} に接続される PMOS 及び NMOS トランジスタ T 1 1 乃至 T 4 1 及び T 1 2 乃至 T 4 2 は、PMOS 及び NMOS トランジスタ T 1 3 乃至 T 4 3 及び T 1 4 乃至 T 4 4 を介して選択スイッチ部 SW 1 3 乃至 SW 4 3 の出力端子 N 1 0 0 に接続される。出力端子 N 1 0 0 との間に PMOS 及び NMOS トランジスタ T 1 3 乃至 T 4 3 及び T 1 4 乃至 T 4 4 が挿入されるので、PMOS 及び NMOS トランジスタ T 1 1 乃至 T 4 1 及び T 1 2 乃至 T 4 2 が活性化される際、ゲート端子に入力される伝播信号のレベル遷移の影響が出力端子 N 1 0 0 に現れることはない。

【 0 0 8 2 】

図 5 に示す第 5 実施形態の遅延回路 5 は、第 1 従来技術の遅延回路 1 0 0 0 (図 8、参照) における選択スイッチ部 SW 1 1 0 乃至 SW 4 1 0 に代えて、選択スイッチ部 SW 1 4 乃至 SW 4 4 を備え、選択スイッチ部 SW 1 4 乃至 SW 4 4 の出力端子 N 1 0 0 にプリチャージ用のプルアップ抵抗 R 1 を電源電圧 V_{cc} との間に備えた構成である。第 5 実施形態の遅延回路 5 は、入力信号 IN のフォール遷移に対して目的となる遅延時間を有した出力信号を出力するものである。

【 0 0 8 3 】

選択スイッチ部 SW 1 4 乃至 SW 4 4 は、遅延部 1 0 0 からの個別遅延出力端子 N 1 0 乃至 N 4 0 にゲート端子が接続される NMOS トランジスタ T 1 2 乃至 T 4 2 と、このドレイン端子がソース端子に接続される NMOS トランジスタ T 1 4 乃至 T 4 4 と、NMOS トランジスタ T 1 4 乃至 T 4 4 のゲート端子に制御

入力信号 $/S(0, 0)$ 乃至 $/S(1, 1)$ の反転信号を入力するためのインバータゲート $INV11$ 乃至 $INV41$ とで構成されている。そして NMOS トランジスタ $T12$ 乃至 $T42$ のソース端子は接地電位 V_{ss} に接続されると共に、NMOS トランジスタ $T14$ 乃至 $T44$ のドレイン端子は選択スイッチ部 $SW14$ 乃至 $SW44$ の出力端子 $N100$ に接続されている。NMOS トランジスタ $T12$ 乃至 $T42$ はバッファ部を、NMOS トランジスタ $T14$ 乃至 $T44$ は選択部を構成する。

【0084】

入力信号 IN が入力される前に所定のプリセット期間を設定する。この期間は全ての制御信号 $/S(0, 0)$ 乃至 $/S(1, 1)$ をハイレベルとして、全選択スイッチ部 $SW14$ 乃至 $SW44$ を非選択として出力端子 $N100$ の電位が接地電位 V_{ss} に抜けるパスを開放しておく。出力端子 $N100$ には、プルアップ抵抗 $R1$ が電源電圧 V_{cc} との間に接続されているので、このプリセット期間に出力端子 $N100$ は電源電圧 V_{cc} の電位にプリセットされる。

プリセット期間が終了すると、制御信号 $/S(0, 0)$ 乃至 $/S(1, 1)$ のうちの何れか 1 信号のみが選択されてローレベルとなり、該当する選択スイッチ部 $SW14$ 乃至 $SW44$ が選択状態となる。入力信号 IN のフォール遷移前においては、信号遷移は発生せず出力端子 $N100$ はハイレベルを維持する。従って、遅延回路 5 の出力端子 OUT もハイレベルを維持する。

入力信号 IN がフォール遷移すると、遅延部 100 に信号遷移が伝播し所定の遅延時間の後、該当する選択スイッチ部 $SW14$ 乃至 $SW44$ にフォール遷移が伝播する。この時、入力信号 IN は、遅延部 100 の先頭でインバータゲート 30 により論理反転されているので、遅延部 100 の個別遅延出力端子では、ライズ遷移となる。従って、バッファ部を構成する NMOS トランジスタ $T12$ 乃至 $T42$ のうち該当するトランジスタが導通して出力端子 $N100$ の電位を引き抜く。端子 $N100$ はローレベルとなり、この信号が出力バッファ回路 500 により波形整形等を施されて出力端子 OUT から目的遅延時間を付加された遅延フォール遷移が出力される。

【0085】

以上より第5実施形態の遅延回路5では、選択スイッチ部SW14乃至SW44を、出力端子N100と接地電位Vssとの間に直列接続される第1及び第2トランジスタであるNMOSTランジスタT12とT14乃至T42とT44により構成し、NMOSTランジスタT14乃至T44のゲート端子に遅延経路を確立するための制御信号/S(0,0)乃至/S(1,1)をインバータゲートINV11乃至INV41を介して入力して、NMOSTランジスタT12乃至T42を接地電位Vssと出力端子N100との間に接続することができる。従って、NMOSTランジスタT14乃至T44により活性化されたNMOSTランジスタT12乃至T42のゲート端子に遅延部100からの個別遅延出力端子N10乃至N40を接続して、伝播信号を入力すれば遅延経路を確立することができる。バッファ部を構成するNMOSTランジスタT12乃至T42を活性化するために、トランスファゲート等の寄生負荷を遅延経路上に挿入する必要はない。またこの回路構成により素子の寄生負荷による遅延時間への影響を最小限に留めることができる。そのためチップ占有面積を圧迫しないコンパクトな素子サイズで遅延回路5を構成することができる。従って、遅延部100から選択スイッチ部SW14乃至SW44を介して形成される遅延経路にCR時定数回路等の寄生遅延回路は形成されず、この回路5に基づく信号伝播遅延や信号波形自身の鈍りが発生することはない。そして半導体集積回路装置の製造ばらつき等によっても遅延量のばらつきを抑えることができる。特に、半導体集積回路装置の高速化に対応して細かい時間ステップでの遅延量の調整の場合にも精度よく遅延調整を行なうことができる遅延回路5を実現することができる。また、多数の個別遅延出力端子N10乃至N40から目的遅延時間を適宜に選択する遅延回路5でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【0086】

また、接地電位Vssに接続されるNMOSTランジスタT12乃至T42は、NMOSTランジスタT14乃至T44を介して選択スイッチ部SW14乃至SW44の出力端子N100に接続され、出力端子N100との間にNMOSTランジスタT14乃至T44が挿入されるので、NMOSTランジスタT12乃

至 T 4 2 が活性化される際、ゲート端子に入力される個別遅延出力端子 N 1 0 乃至 N 4 0 からの伝播信号のレベル遷移の影響が出力端子 N 1 0 0 に現れることはない。

【 0 0 8 7 】

また、選択スイッチ部 S W 1 4 乃至 S W 4 4 の選択部を構成する N M O S トランジスタ T 1 4 乃至 T 4 4 の駆動能力を、バッファ部を構成する N M O S トランジスタ T 1 2 乃至 T 4 2 より大きく設定すれば、バッファ部の駆動の際、N M O S トランジスタ T 1 4 乃至 T 4 4 の存在が駆動能力を律速することはなく好都合である。

【 0 0 8 8 】

尚、選択スイッチ部 S W 1 4 乃至 S W 4 4 においてバッファ部を構成する N M O S トランジスタ T 1 2 乃至 T 4 2 と、選択部を構成する N M O S トランジスタ T 1 4 乃至 T 4 4 との接続関係を逆転すること、2 以上の制御信号に対応する選択部あるいはプリデコード部を備えること、更にこれらのトランジスタの極性を反転してライズ遷移の入力信号 I N に対する遅延信号を生成するように構成すること等の変更をすることが可能であることはいうまでもない。

接続関係を逆転することにより、N M O S トランジスタ T 1 2 乃至 T 4 2 の駆動経路に N M O S トランジスタ T 1 4 乃至 T 4 4 の寄生負荷が挿入されず、C R 時定数回路等の寄生遅延回路が付加されることはない。また 2 以上の入力を有する選択部あるいはプリデコード部を備えることにより、多段接続の遅延部 1 0 0 に対しても、制御信号線の数制限をすることができる。更にトランジスタの極性を反転すれば、ライズ遷移の入力信号 I N に対して遅延を付加することができる。

また、フォール遷移の遅延回路とライズ遷移の遅延回路を適宜に組み合わせれば、入力信号 I N にパルス信号を入力して、パルス信号のライズ遷移及びフォール遷移の各々に対して任意の遅延時間を選択することができる。これにより、パルス幅を任意に変更した遅延パルス信号を得ることができる。

【 0 0 8 9 】

図 6 に示す第 6 実施形態の遅延回路 6 は、選択スイッチ部 S W 1 5 乃至 S W 4

5に、トリステートバッファ回路を使用する構成である。ここに示すトリステートバッファ回路は、出力バッファ等に一般的に使用される回路構成と同等の回路構成を有する。即ち、電源電圧 V_{cc} と出力端子N100との間に設けられたPMOSトランジスタT11乃至T41と、接地電位 V_{ss} と出力端子N100との間に設けられたNMOSトランジスタT12乃至T42とにより、出力端子N100を駆動する。PMOSトランジスタT11乃至T41のゲート端子は、遅延部100からの個別遅延出力端子N10乃至N40を、制御信号 $S(0, 0)$ 乃至 $\neg S(1, 1)$ の反転信号で制御するナンドゲートNAND12乃至NAND42が接続される。NMOSトランジスタT12乃至T42のゲート端子は、遅延部100からの個別遅延出力端子N10乃至N40を、制御信号 $S(0, 0)$ 乃至 $\neg S(1, 1)$ で制御するノアゲートNOR11乃至NOR41が接続される。インバータゲートINV14乃至INV44は、制御信号 $S(0, 0)$ 乃至 $\neg S(1, 1)$ を反転するために設けられる。

【0090】

制御信号 $S(0, 0)$ 乃至 $\neg S(1, 1)$ が非活性でハイレベル信号を出力する場合には、ナンドゲートNAND12乃至NAND42への入力は、ローレベルとなり出力はハイレベルとなる。ノアゲートNOR11乃至NOR41への入力は、ハイレベルとなり出力はローレベルとなる。従って、PMOSトランジスタT11乃至T41、NMOSトランジスタT12乃至T42は、共にオフ状態となり選択スイッチ部SW15乃至SW45は非選択の状態となる。制御信号 $S(0, 0)$ 乃至 $\neg S(1, 1)$ がローレベルになると、ナンドゲートNAND12乃至NAND42、及びノアゲートNOR11乃至NOR41の出力が反転する。従って、PMOSトランジスタT11乃至T41、NMOSトランジスタT12乃至T42は、個別遅延出力端子N10乃至N40からの伝播信号に応じて動作することとなり、選択スイッチ部SW15乃至SW45が選択の状態となる。

【0091】

以上より第6実施形態の遅延回路6では、トリステートバッファ回路で構成した選択スイッチ部SW15乃至SW45では、寄生負荷を有するトランスファ

ゲート等が構成されていないので、選択スイッチ部 SW 1 5 乃至 SW 4 5 の出力端子 N 1 0 0 を相互に結合する簡易な回路構成により CR 時定数回路等の寄生遅延回路が挿入されることなく遅延経路を構成することができる。またこの回路構成 6 により素子の寄生負荷による遅延時間への影響を最小限に留めることができるため、チップ占有面積を圧迫しないコンパクトな素子サイズで回路 6 を構成することができる。従って、遅延経路に CR 時定数回路等の寄生遅延回路による信号伝播遅延や信号波形自身の鈍りが発生することはない。また短パルスでの回路動作においてもパルスが潰されることはなく精度よく短パルスを維持することができる。そして半導体集積回路装置の製造ばらつき等によっても遅延量のばらつきを抑えることができる。特に、半導体集積回路装置の高速化に対応して短パルスの入力や細かい時間ステップで遅延量を調整したい場合にも精度よく遅延調整を行なうことができる遅延回路 6 を実現することができる。また、多種の目的遅延時間を適宜に選択する遅延回路 6 でもチップ上の占有面積をコンパクトに留めることができ、半導体集積回路装置の高集積化に寄与するところ大である。

【 0 0 9 2 】

図 7 に示す第 7 実施形態の遅延回路 7 では、入力信号 IN は、相互に結合された端子 N 4 0 0 から選択スイッチ部 SW 1 6 乃至 SW 4 6 を介して、遅延部 1 0 A の各所定遅延段 1 1 と 1 2 乃至 4 1 と 4 2 の個別遅延入力端子 N 4 1 乃至 N 4 4 に接続されており、このうち制御信号 / S (0 , 0) 乃至 / S (1 , 1) により活性化された選択スイッチ部 SW 1 6 乃至 SW 4 6 を介して信号が伝播される構成である。

選択スイッチ部 SW 1 6 乃至 SW 4 6 は、ナンドゲート NAND 1 3 乃至 NAND 4 3 からの出力が遅延部 1 0 の個別遅延入力端子 N 4 1 乃至 N 4 4 に入力される。ナンドゲート NAND 1 3 乃至 NAND 4 3 へは、インバータゲート 4 0 で反転された入力信号 IN が入力されると共に、制御信号 / S (0 , 0) 乃至 / S (1 , 1) の反転信号が制御として入力される。インバータゲート INV 1 5 乃至 INV 4 5 は、制御信号 / S (0 , 0) 乃至 / S (1 , 1) の反転信号を生成する。

遅延部 1 0 A では、所定遅延段は、片側の端子を電源電圧 V c c に接続した 2

段構成のナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 により構成される。片側の端子を電源電圧 V_{cc} に接続することにより、ナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 が論理反転ゲートとして機能する。

【 0 0 9 3 】

選択された選択スイッチ部 $SW16$ 乃至 $SW46$ では、ナンドゲート $NAND13$ 乃至 $NAND43$ が論理反転ゲートとなるので、インバータゲート 4 0 と合わせ、入力信号 IN からゲート 2 段分だけ遅延した伝播信号が遅延部 1 0 の個別遅延入力端子 $N41$ 乃至 $N44$ に入力される。入力された伝播信号は、遅延部 1 0 における多段接続の所定遅延段 1 1 と 1 2 乃至 4 1 と 4 2 を順次伝播していき、所定遅延時間を付加されて出力端子 OUT から目的遅延時間の遅延信号が出力される。

ここで、ナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 は、出力のライズ遷移とフォール遷移では、回路構成上駆動能力が異なるので、それぞれの遷移に必要な遅延時間が異なる。このアンバランスを相殺するために、論理反転動作を行う個々のナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 の各々を 2 段でペアとして所定遅延段 1 1 と 1 2 乃至 4 1 と 4 2 を構成する。この接続により立上り遅延時間と立下り遅延時間とが略同一にバランスされる。

【 0 0 9 4 】

以上より第 7 実施形態の遅延回路 7 では、相互に結合された端子 $N400$ が、制御信号 $/S(0, 0)$ 乃至 $/S(1, 1)$ により適宜に活性化された選択スイッチ部 $SW16$ 乃至 $SW46$ を介して、直列に多段接続された所定遅延段であるナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 に入力される。個々のナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 は、立上り遅延時間と立下り遅延時間とが異なる論理反転部であり、これを直列に 2 段接続してペア構成することにより所定遅延段であるナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 の立上り及び立下り遅延時間を略同一にバランスさせて構成することができる。従って、パルス信号を入力する際にもパルス幅が変化することはない。

【 0 0 9 5 】

また、半導体集積回路装置の製造ばらつき等によって論理反転部である個々の

ナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 の遅延量がばらついても、相互にばらつきを相殺することができ、遅延量のばらつきを抑えることができる。

【 0 0 9 6 】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、個別遅延出力端子あるいは個別遅延入力端子が 4 組の場合を例に説明をしたが、本発明はこれに限定されるものではなく、2 組あるいは 3 組の場合、又は 5 組以上の多段接続の場合にも同様に適用できることはいうまでもない。

また、遅延部 1 0 0 を構成する所定遅延段をインバータゲート 1 0 1 と 1 0 2 乃至 4 0 1 と 4 0 2 で構成する場合を例に説明し、遅延部 1 0 A を構成する所定遅延段をナンドゲート 1 1 と 1 2 乃至 4 1 と 4 2 で構成する場合を例に説明したが、前者をナンドゲートあるいはノアゲートにより構成し、後者をインバータゲートあるいはノアゲートにより構成することもできる。更に論理反転機能を有するその他の論理反転ゲートの構成であれば利用可能である。また、本実施形態では、所定遅延段を 2 段の論理反転ゲートで構成したが、偶数段であれば 4 段以上で構成することもできる。

遅延部 1 0 0、1 0 A の各所定遅延段を同じ構成としているが、各段毎に異なる所定遅延時間を有する構成とすることもできる。

【 0 0 9 7 】

(付記 1) 入力信号に対して所定遅延時間を付加する所定遅延段を 2 以上有する遅延部と、

前記所定遅延段を適宜に組合わせて前記入力信号に対して目的遅延時間の遅延出力信号を出力する遅延経路を確立する選択スイッチ部とを備え、

前記選択スイッチ部は、

前記入力信号からの伝播信号を入力するバッファ部と、

前記遅延部における前記遅延経路を確立する際、前記バッファ部を活性化する選択部とを備えることを特徴とする遅延回路。

(付記 2) 前記遅延部において、前記所定遅延段は、

前記所定遅延時間の個別遅延出力信号を出力する個別遅延出力端子を備え、
前記選択スイッチ部は、

前記個別遅延出力端子毎に設けられて、該選択スイッチ部における前記バッファ部の入力端子は前記個別遅延出力端子に接続され、前記選択スイッチ部の出力端子が相互に結合されていることを特徴とする付記 1 に記載の遅延回路。

(付記 3) 前記遅延部において、前記所定遅延段は、

前記所定遅延時間を付加すべき信号を入力する個別遅延入力端子を備え、
入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされており、

前記選択スイッチ部は、

前記個別遅延入力端子毎に設けられて、該選択スイッチ部の出力端子は前記個別遅延入力端子に接続され、前記バッファ部の入力端子が相互に結合されていることを特徴とする付記 1 に記載の遅延回路。

(付記 4) 前記選択スイッチ部において、

前記バッファ部は、

ゲート端子を入力端子とする第 1 トランジスタを備え、

前記選択部は、

前記遅延部における前記遅延経路を確立するための前記制御信号がゲート端子に入力される第 2 トランジスタを備え、

前記第 1 及び第 2 トランジスタは、

前記選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続されていることを特徴とする付記 1 又は 2 に記載の遅延回路。

(付記 5) 前記第 1 トランジスタは、前記選択スイッチ部の出力端子側に備えられ、

前記第 2 トランジスタは、前記第 1 電源電圧側に備えられることを特徴とする付記 4 に記載の遅延回路。

(付記 6) 前記第 1 トランジスタは、前記第 1 電源電圧側に備えられ、

前記第 2 トランジスタは、前記選択スイッチ部の出力端子側に備えられることを特徴とする付記 4 に記載の遅延回路。

(付記 7) 前記選択スイッチ部において、

前記バッファ部は、

ゲート端子を入力端子とする第 3 トランジスタを更に備え、

前記選択部は、

前記遅延部における前記遅延経路を確立するための前記制御信号がゲート端子に入力される第 4 トランジスタを更に備え、

前記第 3 及び第 4 トランジスタは、

前記選択スイッチ部の出力端子と第 2 電源電圧との間に直列接続されていることを特徴とする付記 4 に記載の遅延回路。

(付記 8) 前記第 1 及び第 3 トランジスタは、前記選択スイッチ部の出力端子側に備えられ、

前記第 2 トランジスタは、前記第 1 電源電圧側に備えられ、

前記第 4 トランジスタは、前記第 2 電源電圧側に備えられることを特徴とする付記 7 に記載の遅延回路。

(付記 9) 前記第 2 及び第 4 トランジスタは、前記選択スイッチ部の出力端子側に備えられ、

前記第 1 トランジスタは、前記第 1 電源電圧側に備えられ、

前記第 3 トランジスタは、前記第 2 電源電圧側に備えられることを特徴とする付記 7 に記載の遅延回路。

(付記 10) 前記第 1 電源電圧は、電源電圧電位であり、

前記第 1 及び第 2 トランジスタは、PMOS トランジスタであることを特徴とする付記 4 乃至 9 の少なくとも何れか 1 項に記載の遅延回路。

(付記 11) 前記第 1 電源電圧は、接地電位であり、

前記第 1 及び第 2 トランジスタは、NMOS トランジスタであることを特徴とする付記 4 乃至 9 の少なくとも何れか 1 項に記載の遅延回路。

(付記 12) 前記第 2 電源電圧は、電源電圧電位であり、

前記第 3 及び第 4 トランジスタは、PMOS トランジスタであることを特徴とする付記 7 乃至 9 の少なくとも何れか 1 項に記載の遅延回路。

(付記 13) 前記第 2 電源電圧は、接地電位であり、

前記第 3 及び第 4 トランジスタは、NMOS トランジスタであることを特徴とする付記 7 乃至 9 の少なくとも何れか 1 項に記載の遅延回路。

(付記 1 4) 前記第 1 トランジスタに比して、前記第 2 トランジスタの駆動能力が大きいことを特徴とする付記 4 乃至 9 の少なくとも何れか 1 項に記載の遅延回路。

(付記 1 5) 前記第 3 トランジスタに比して、前記第 4 トランジスタの駆動能力が大きいことを特徴とする付記 4 乃至 9 の少なくとも何れか 1 項に記載の遅延回路。

(付記 1 6) 前記遅延部は、

前記個別遅延出力端子が次段の前記所定遅延段の入力端子に接続されて、前記所定遅延段が直列に多段接続されていることを特徴とする付記 2 に記載の遅延回路。

(付記 1 7) 前記遅延部は、

前記所定遅延段の出力端子が次段の前記個別遅延入力端子に接続されて、前記所定遅延段が直列に多段接続されていることを特徴とする付記 3 に記載の遅延回路。

(付記 1 8) 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされていることを特徴とする付記 1 6 又は 1 7 に記載の遅延回路。

(付記 1 9) 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされた論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成されることを特徴とする付記 1 8 に記載の遅延回路。

(付記 2 0) 前記論理反転部は、

インバータゲートであることを特徴とする付記 1 9 に記載の遅延回路。

(付記 2 1) 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが異なる論理反転部を直列に偶数段接続した単位遅延段を基本単位として構成されることを特徴とする付記 1 8 に記載の遅延回路。

(付記 2 2) 前記論理反転部は、

前記伝播信号が入力される入力端子以外の入力端子を電源電圧電位に接続することにより反転論理を構成するナンドゲートであることを特徴とする付記 2 1 に記載の遅延回路。

(付記 2 3) 前記論理反転部は、

前記伝播信号が入力される入力端子以外の入力端子を接地電位に接続することにより反転論理を構成するノアゲートであることを特徴とする付記 2 1 に記載の遅延回路。

(付記 2 4) 前記遅延部は、

同一構成の所定遅延段により構成されていることを特徴とする付記 1 6 乃至 2 3 の少なくとも何れか 1 項に記載の遅延回路。

(付記 2 5) 前記遅延部における前記遅延経路が、2 以上の複合制御信号の論理組合せにより確立される場合において、

前記第 2 あるいは第 4 トランジスタに代えて、これらのトランジスタと同等の能力を有し、前記各複合制御信号が各々のゲート端子に入力される、2 以上のトランジスタが直列接続されたトランジスタ列を備えることを特徴とする付記 4 乃至 1 5 の少なくとも何れか 1 項に記載の遅延回路。

(付記 2 6) 入力信号に対して所定遅延時間を付加する所定遅延段を 2 以上有する遅延部と、

前記入力信号からの伝播信号を入力するバッファ部と、前記遅延部における前記遅延経路を確立する選択部とを有し、前記所定遅延段を適宜に組合わせて前記入力信号に対して目的遅延時間の遅延出力信号を出力する遅延経路を確立する選択スイッチ部とを備えることを特徴とする半導体集積回路装置。

(付記 2 7) 前記選択スイッチ部において、

前記バッファ部は、

ゲート端子を入力端子とする第 1 トランジスタを備え、

前記選択部は、

前記遅延部における前記遅延経路を確立するための前記制御信号がゲート端子に入力される第 2 トランジスタを備え、

前記第 1 及び第 2 トランジスタは、

前記選択スイッチ部の出力端子と第 1 電源電圧との間に直列接続されていることを特徴とする付記 2 6 に記載の半導体集積回路装置。

(付記 2 8) 前記所定遅延段は、

入力される信号の立上り遅延時間と立下り遅延時間とが略同一にバランスされていることを特徴とする付記 2 6 又は 2 7 に記載の半導体集積回路装置。

(付記 2 9) 入力信号に対して所定遅延時間を順次付加していく遅延工程と、

前記遅延工程において付加される所定遅延時間毎に遅延信号を出力する出力工程と、

目的遅延時間を有する遅延信号を出力する前記出力工程についてのみ活性化する選択工程とを備えることを特徴とする遅延方法。

(付記 3 0) 前記選択工程は、

前記出力工程において必要となる電源を供給する工程を含むことを特徴とする付記 2 9 に記載の遅延方法。

(付記 3 1) 前記遅延工程において、前記所定遅延時間は、

入力される信号の立上り遅延時間と立下り遅延時間とで略同一の遅延時間を有することを特徴とする付記 2 9 又は 3 0 に記載の遅延方法。

【 0 0 9 8 】

【発明の効果】

本発明によれば、寄生素子による寄生の遅延や波形変形等を伴わず、入力信号からの伝播信号に遅延時間を適宜に精度よく付加することにより、所定遅延時間の遅延信号や所定時間幅の遅延パルスを精度よく適宜に生成することができる遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法を提供することが可能となる。

【図面の簡単な説明】

【図 1】

第 1 実施形態に係る遅延回路を示す回路図である。

【図 2】

第 2 実施形態に係る遅延回路を示す回路図である。

【図 3】

第 3 実施形態に係る遅延回路を示す回路図である。

【図 4】

第 4 実施形態に係る遅延回路を示す回路図である。

【図 5】

第 5 実施形態に係る遅延回路を示す回路図である。

【図 6】

第 6 実施形態に係る遅延回路を示す回路図である。

【図 7】

第 7 実施形態に係る遅延回路を示す回路図である。

【図 8】

第 1 従来技術に係る遅延回路を示す回路図である。

【図 9】

第 2 従来技術に係る遅延回路を示す回路図である。

【図 1 0】

第 3 従来技術に係る遅延回路を示す回路図である。

【符号の説明】

1、2、3、4、5、6、7 遅延回路

SW 1 1、SW 2 1、SW 3 1、SW 4 1

SW 1 2、SW 2 2、SW 3 2、SW 4 2

SW 1 3、SW 2 3、SW 3 3、SW 4 3

SW 1 4、SW 2 4、SW 3 4、SW 4 4

SW 1 5、SW 2 5、SW 3 5、SW 4 5

SW 1 6、SW 2 6、SW 3 6、SW 4 6

SW 1 1 0、SW 2 1 0、SW 3 1 0、SW 4 1 0

SW 1 2 0、SW 2 2 0、SW 3 2 0、SW 4 2 0

SW 1 3 0、SW 2 3 0、SW 3 3 0、SW 4 3 0

選択スイッチ部

T 1 1、T 2 1、T 3 1、T 4 1 バッファ部の PMOS トランジスタ

T12、T22、T32、T42 バッファ部のNMOSトランジスタ

T13、T23、T33、T43、T15、T25、T35、T45

選択部のPMOSトランジスタ

T14、T24、T34、T44、T16、T26、T36、T46

選択部のNMOSトランジスタ

NAND13、NAND23、NAND33、NAND43

選択スイッチ部のナンドゲート

10A、100、110 遅延部

101、102、201、202、301、302、401、402

所定遅延段を構成するインバータゲート

11、12、21、22、31、32、41、42

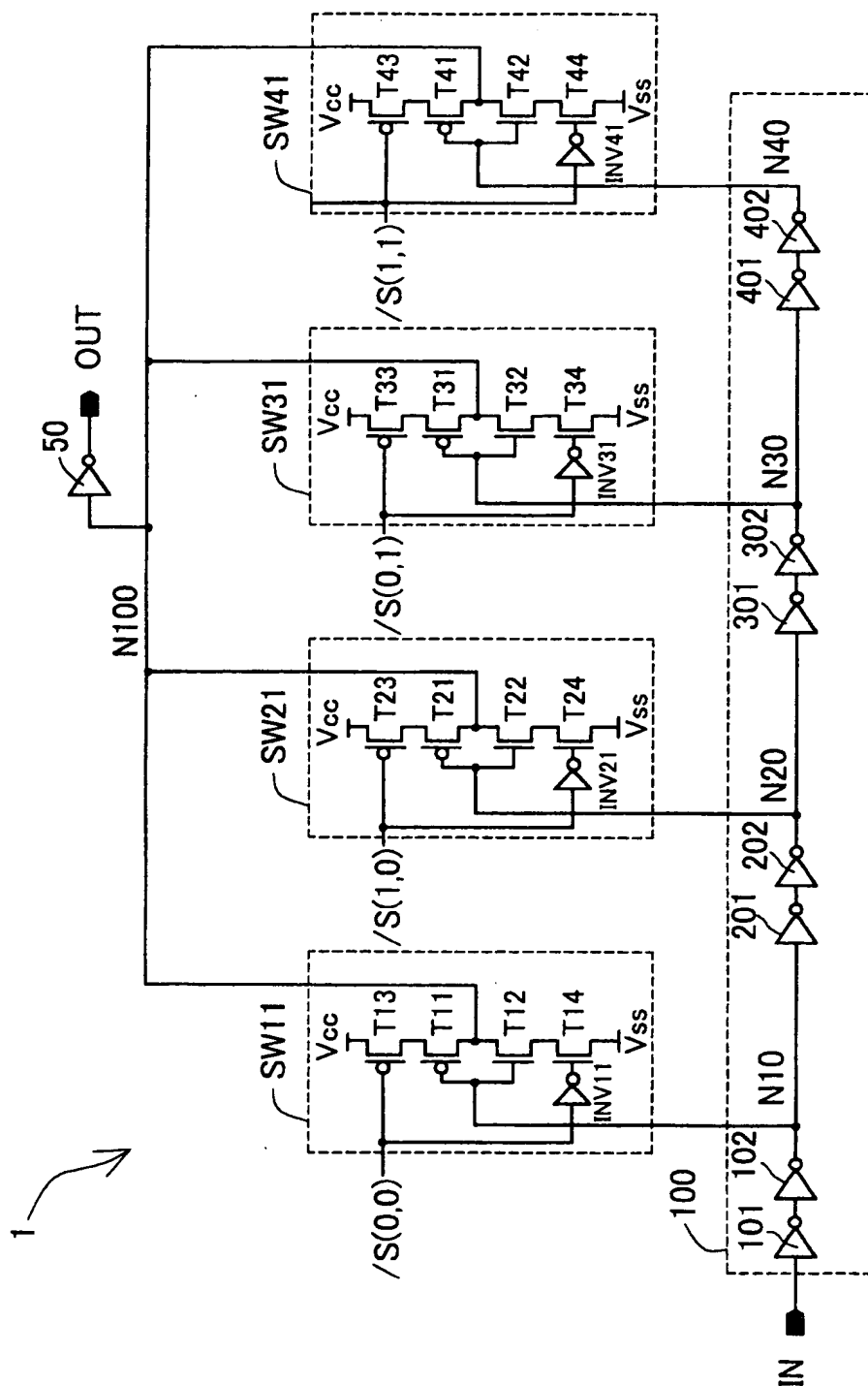
所定遅延段を構成するナンドゲート

【書類名】

図面

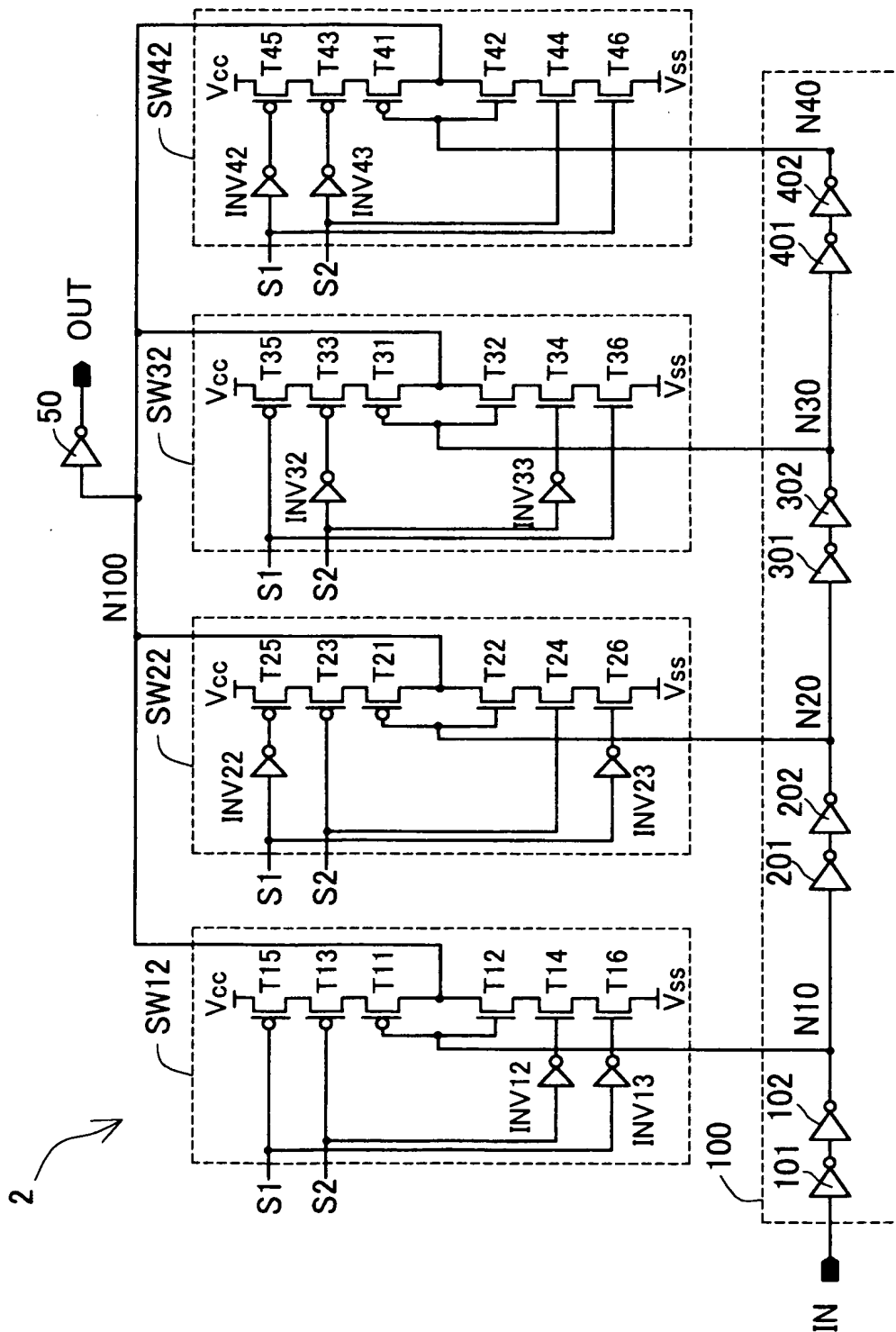
【図 1】

第1実施形態の遅延回路



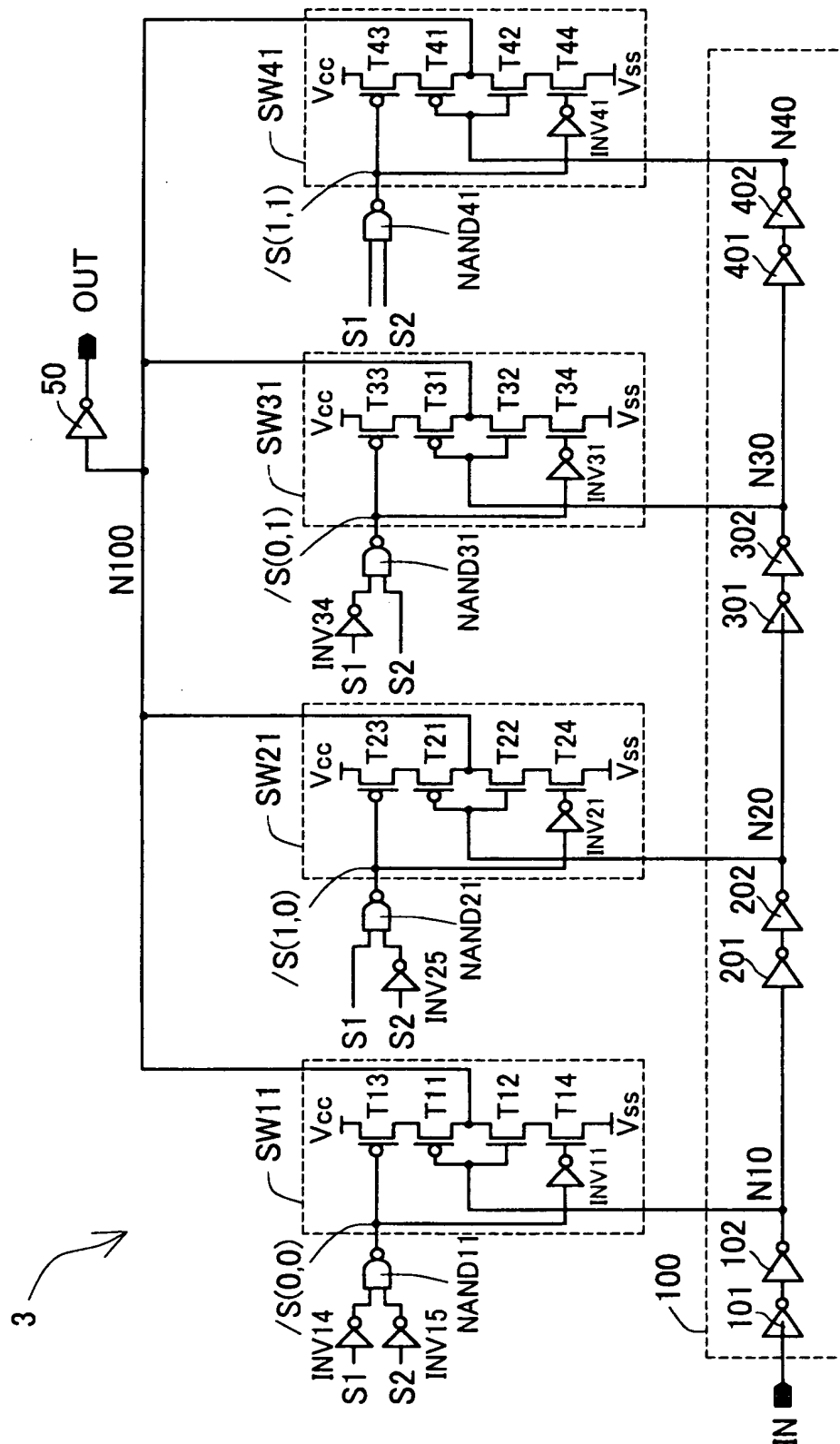
【図 2】

第2実施形態の遅延回路



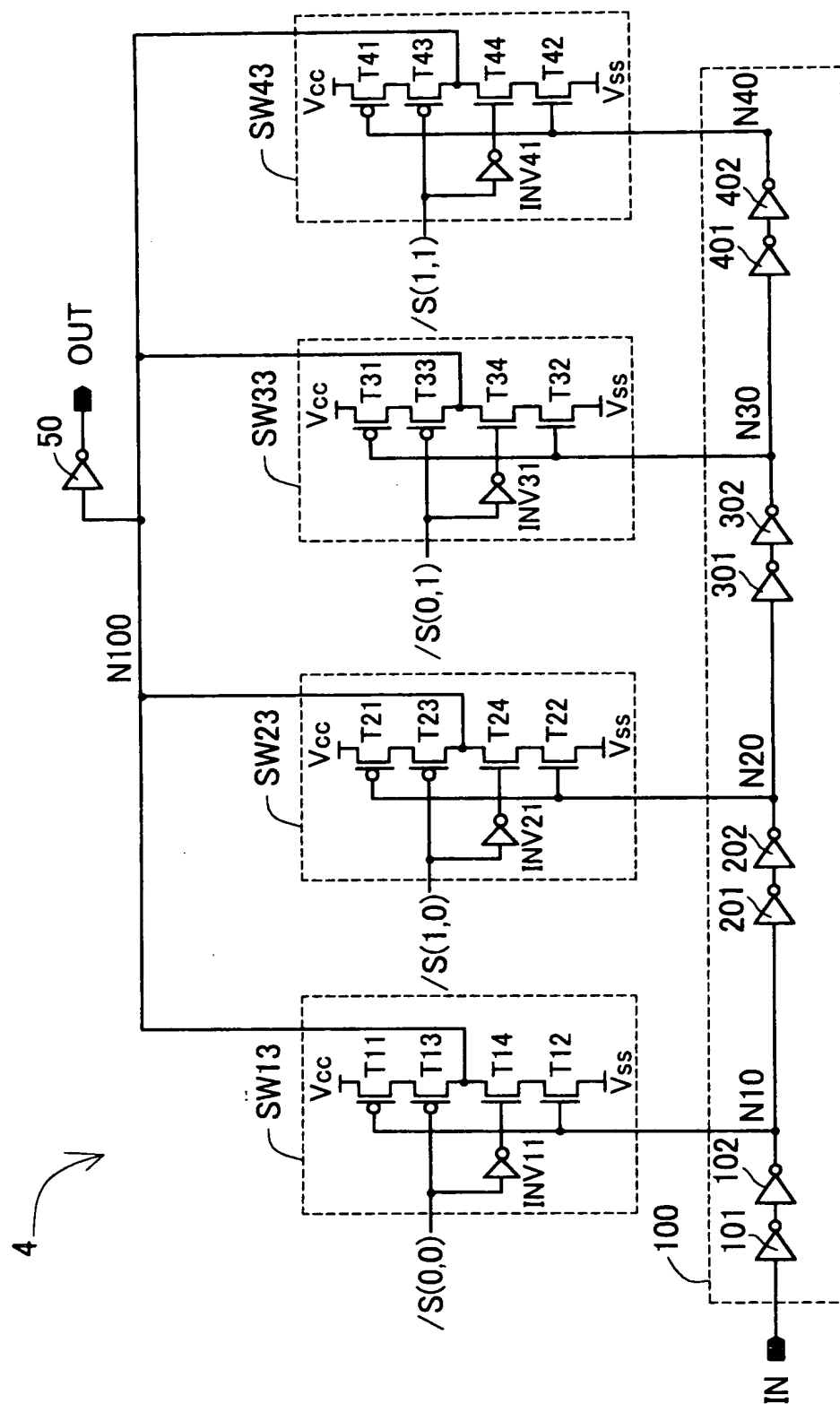
【図 3】

第3実施形態の遅延回路



【図 4】

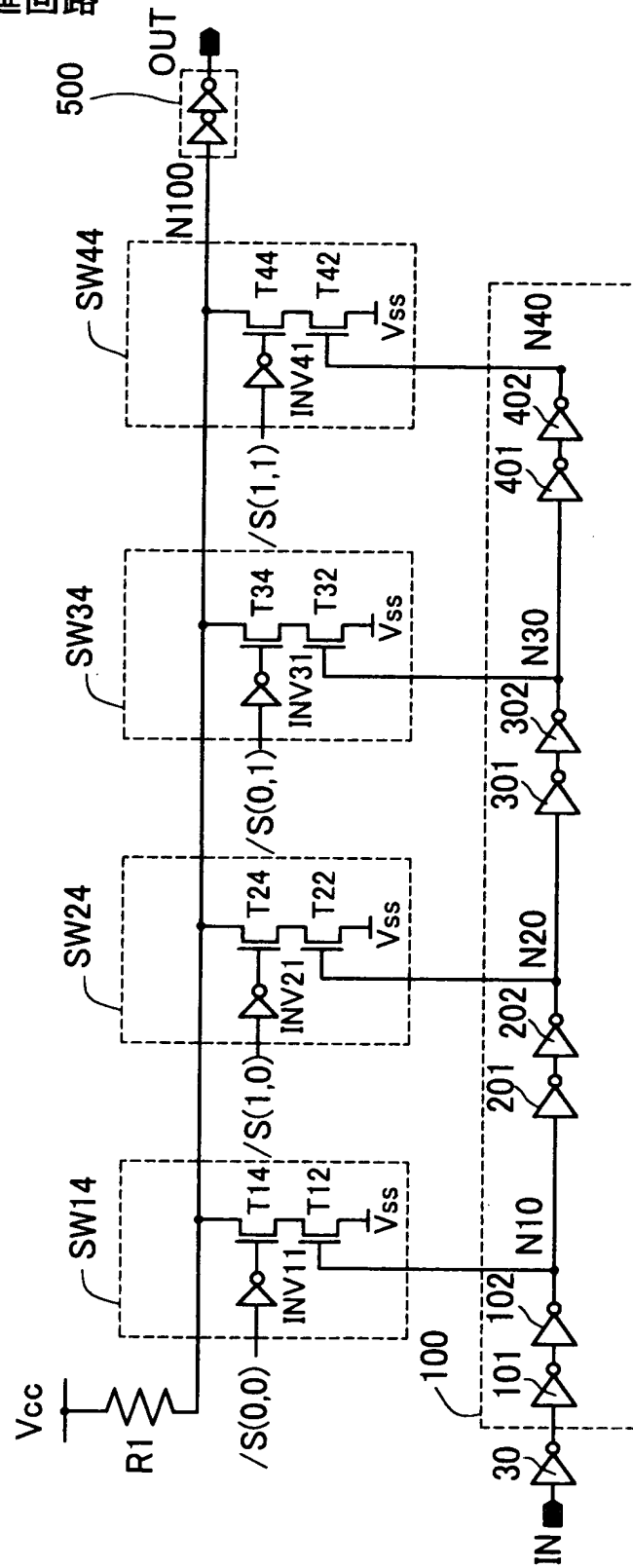
第4実施形態の遅延回路



【図 5】

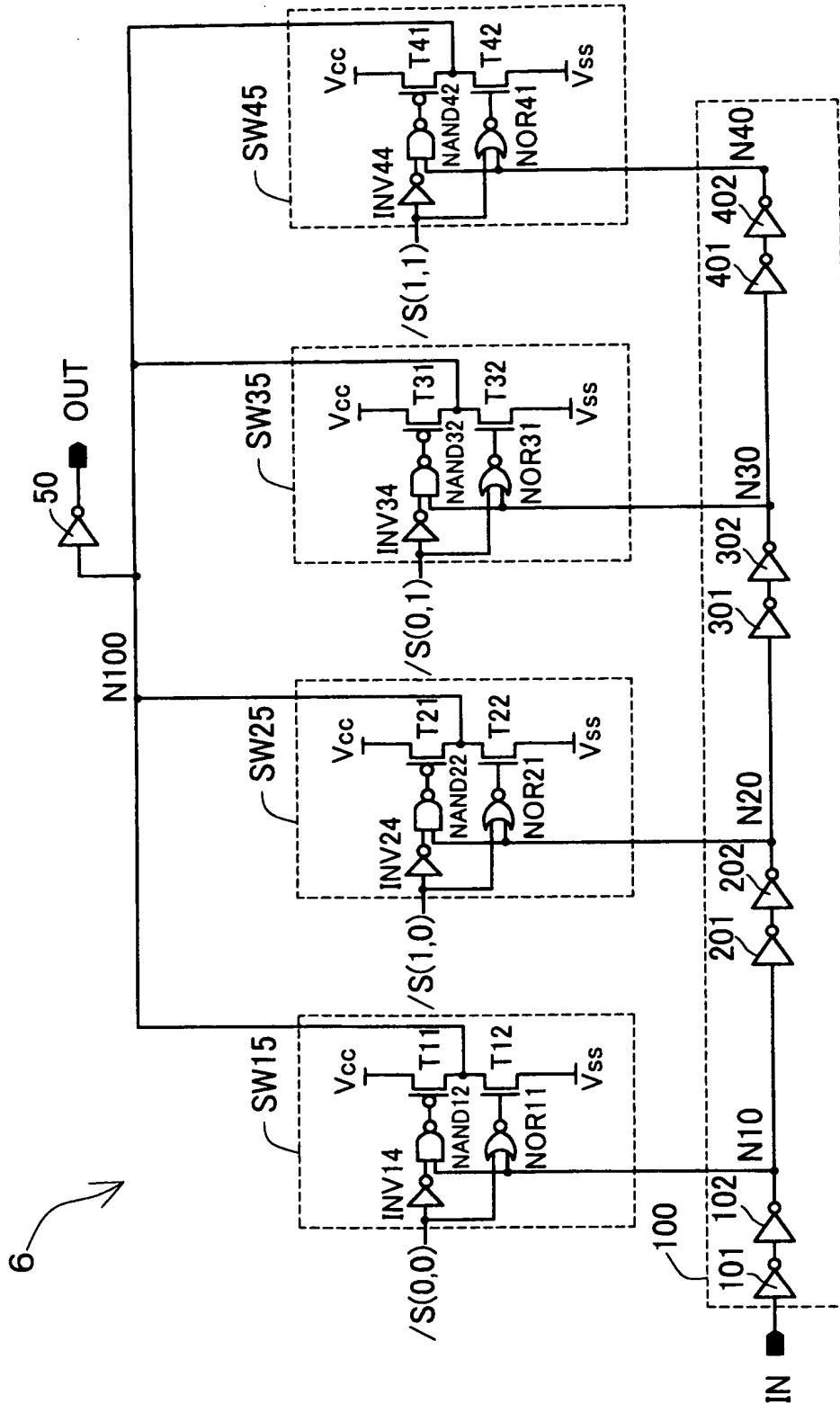
第5実施形態の遅延回路

5



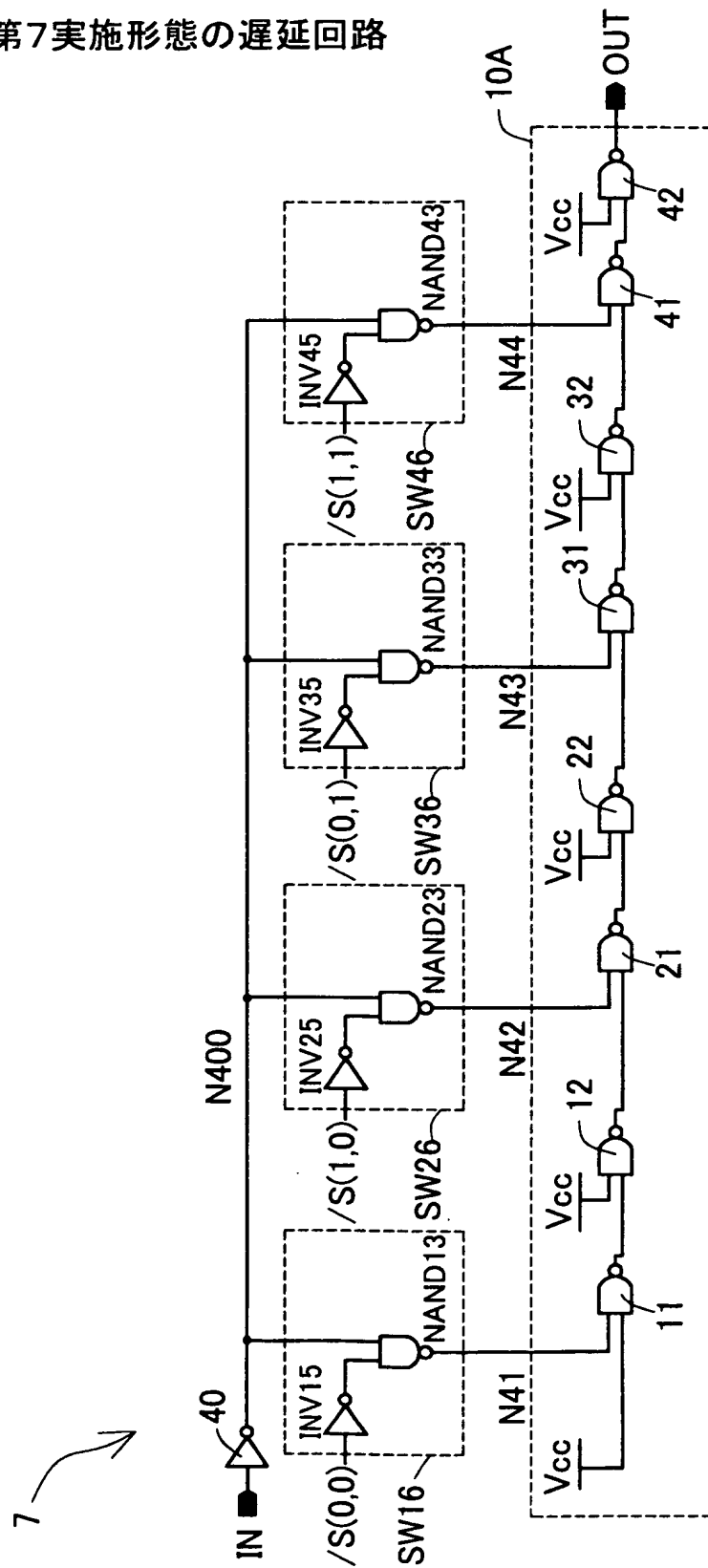
【図 6】

第6実施形態の遅延回路



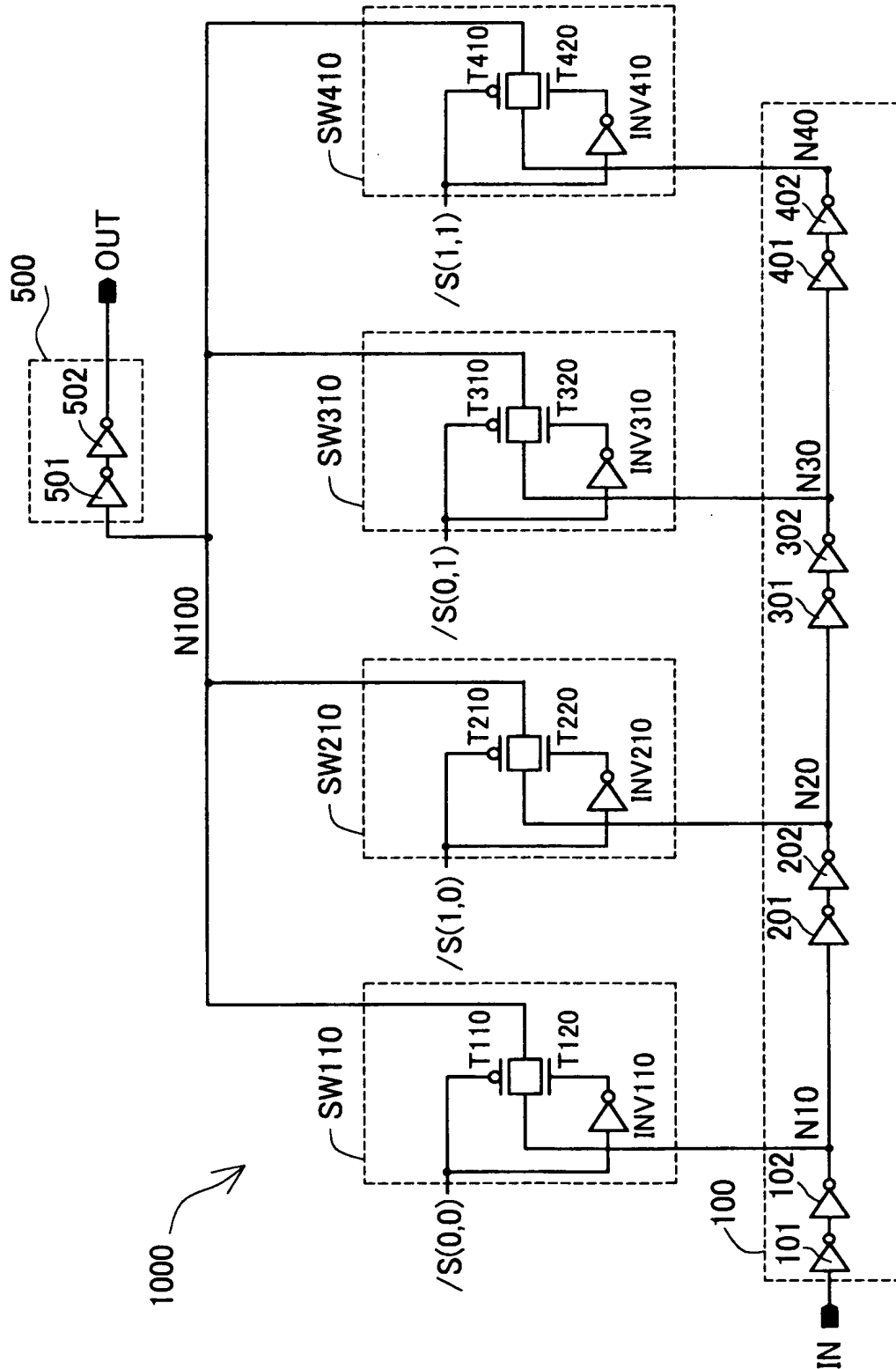
【図 7】

第7実施形態の遅延回路



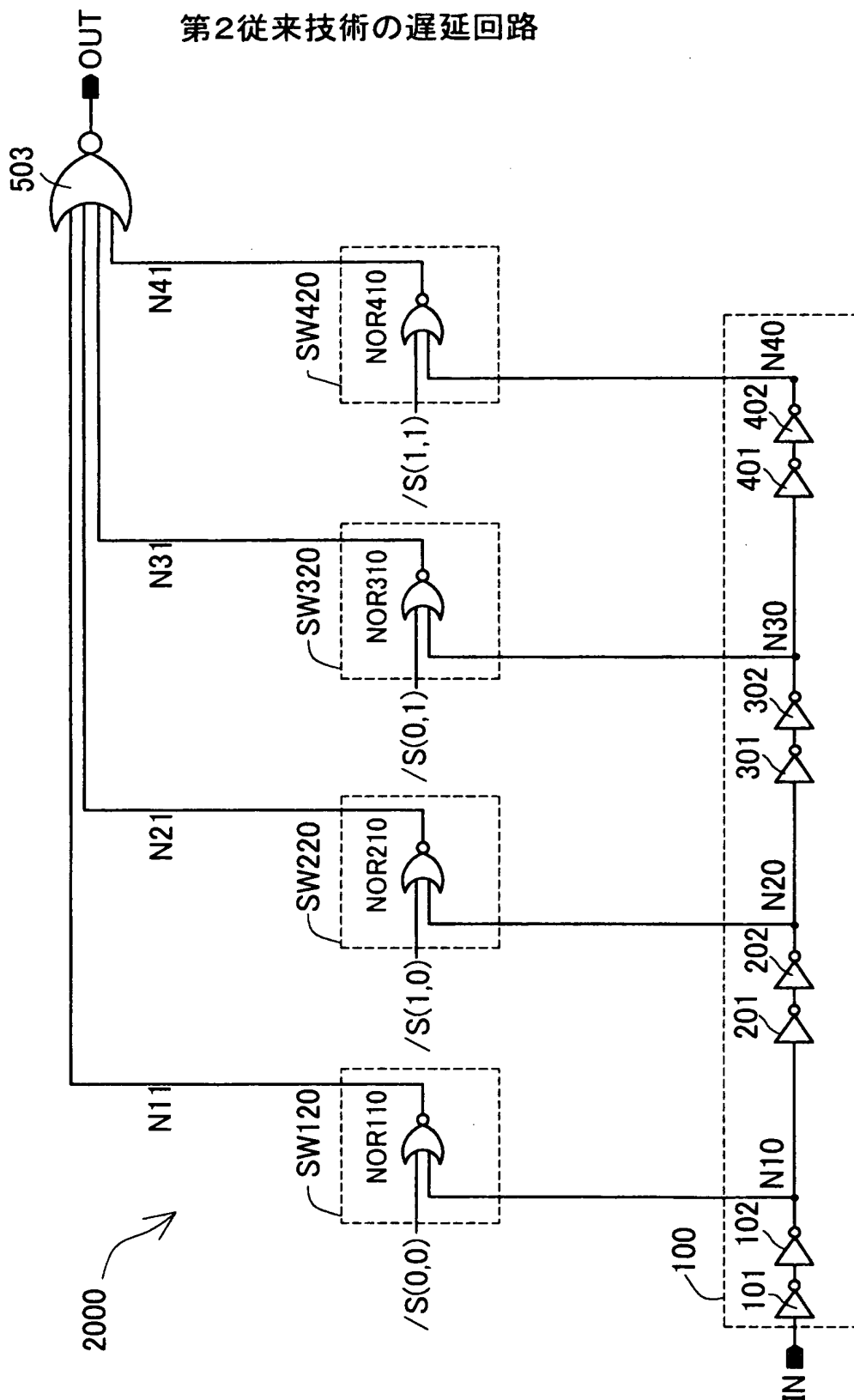
【図 8】

第1従来技術の遅延回路



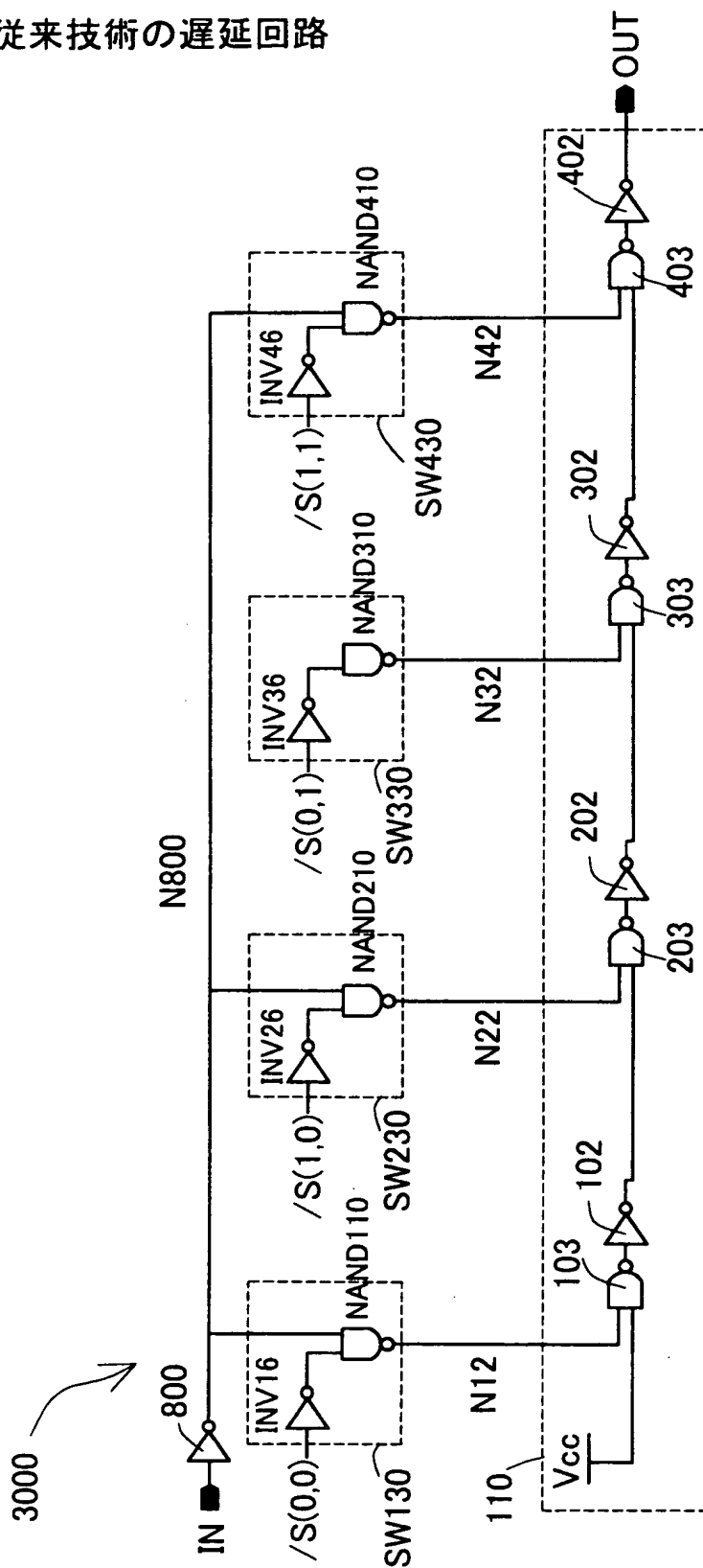
【図 9】

第2従来技術の遅延回路



【図 10】

第3従来技術の遅延回路



【書類名】 要約書

【要約】

【課題】 寄生素子による遅延や波形変形等を伴わず入力信号に遅延時間を付加して、所定遅延時間の遅延信号や遅延パルスを精度よく適宜に生成する遅延回路、遅延回路を含む半導体集積回路装置、及び遅延方法を提供すること。

【解決手段】 選択スイッチ部 SW 1 1 のバッファ部は、PMOS トランジスタ T 1 1 と NMOS トランジスタ T 1 2 とを接続して出力端子 N 1 0 0 とする。ゲートは遅延部 1 0 0 の個別遅延出力端子 N 1 0 に接続される。PMOS トランジスタ T 1 1 は PMOS トランジスタ T 1 3 に直列に電源電圧 V_{cc} に接続される。NMOS トランジスタ T 1 2 も NMOS トランジスタ T 1 4 に直列に接地電位 V_{ss} に接続される。PMOS トランジスタ T 1 3 のゲートには制御信号 $\neg S(0, 0)$ が、NMOS トランジスタ T 1 4 のゲートには制御信号 $\neg S(0, 0)$ の反転信号が接続される。トランジスタ T 1 3、1 4 により選択部を構成する。

【選択図】 図 1

特 2 0 0 1 - 0 9 2 8 9 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社